

# SOLID-STATE IMAGE PICKUP DEVICE

Patent number: JP2001094878 (A)  
 Publication date: 2001-04-06  
 Inventor(s): HAGIWARA YOSHIO; TAKADA KENJI +  
 Applicant(s): MINOLTA CO LTD +  
 Classification:

Also published as:

JP4300654 (B2)

- international: H01L27/146; H04N5/335; H01L27/146; H04N5/335; (IPC1-7): H01L27/146; H04N5/335

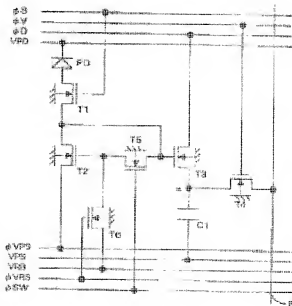
- european:

Application number: JP19990279386 19990930

Priority number(s): JP19990279386 19990930; JP19990208296 19990722

## Abstract of JP 2001094878 (A)

**PROBLEM TO BE SOLVED:** To provide a solid-state image pickup device capable of highly accurately picking up an image of a subject in a wide luminance range from a high luminance area up to a low luminance area and having high responsiveness capable of quickly resetting each pixel to an original state even in the low luminance area. **SOLUTION:** In the case of allowing each pixel to execute image pickup operation, MOS transistors (TRs) T1, T5 are turned on, a MOS TR T6 is turned off and a MOS TR T2 is driven in a subthreshold area. In the case of allowing each pixel to execute reset operation, the MOS TRs T1, T5 are turned off, the MOS TR T6 is turned on and the gate voltage of the MOS TR T2 is fixed.; When a signal  $\phi_{\text{phiv}}$  VPS is turned to a high level and cut off after turning the MOS TR T2 to a conductive state, a signal corresponding to the threshold of the MOS TR T2 is outputted as correction data.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-94878  
(P2001-94878A)

(43) 公開日 平成13年4月6日 (2001.4.6)

|                           |      |               |                         |
|---------------------------|------|---------------|-------------------------|
| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I           | テマコード <sup>*</sup> (参考) |
| H 0 4 N 5/335             |      | H 0 4 N 5/335 | E 4 M 1 1 8             |
| H 0 1 L 27/146            |      | H 0 1 L 27/14 | P 5 C 0 2 4             |
|                           |      |               | A                       |

審査請求 未請求 請求項の数32 O L (全 41 頁)

(21) 出願番号 特願平11-279386

(22) 出願日 平成11年9月30日 (1999.9.30)

(31) 優先権主張番号 特願平11-208296

(32) 優先日 平成11年7月22日 (1999.7.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72) 発明者 萩原 義雄

大阪府大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(72) 発明者 高田 謙二

大阪府大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(74) 代理人 100085501

弁理士 佐野 静夫

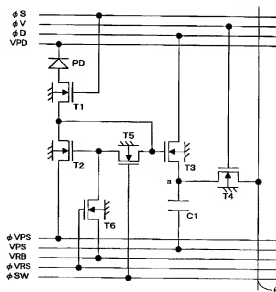
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】本発明は、高輝度域から低輝度域までの幅広い輝度範囲の被写体を高精度に撮像することができるとともに、低輝度域でも各画素が高速に基の状態にリセットされる応答性の良い固体撮像装置を提供することを目的とする。

【解決手段】各画素が撮像動作を行う際、M O S T ランジスタ T 1、T 5 を O N にするとともに M O S T ランジスタ T 6 を O F F にして、M O S T ランジスタ T 2 をサブスレッショルド領域で動作させる。各画素がリセット動作を行う際、M O S T ランジスタ T 1、T 5 を O F F にするとともに M O S T ランジスタ T 6 を O N にして M O S T ランジスタ T 2 のゲート電圧を一定にする。このとき、M O S T ランジスタ T 2 を導通状態にした後、信号  $\phi$  V P S をハイレベルにしてカットオフさせることにより、M O S T ランジスタ T 2 の閾値に応じた信号を補正データとして出力する。



## 【特許請求の範囲】

【請求項1】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、

前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、

又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする固体撮像装置。

【請求項2】 入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、

前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、

又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする固体撮像装置。

【請求項3】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第1電極が前記スイッチの他方の接点に接続された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、

前記第1のトランジスタの第1電極と制御電極との間に接続された第2スイッチとを有し、

前記第1スイッチ及び前記第2スイッチをONにして前記各画素に撮像動作を行わせ、

前記第1スイッチ及び前記第2スイッチをOFFにするとともに前記第1のトランジスタの制御電極と第2電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項4】 前記第1のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第3スイッチを有し、

前記各画素が撮像動作を行うときは、前記第3スイッチをOFFにし、又、前記各画素の感度バラツキを検出するときは、前記第3スイッチをONにすることを特徴とする請求項3に記載の固体撮像装置。

【請求項5】 前記第3スイッチがトランジスタであることを特徴とする請求項4に記載の固体撮像装置。

【請求項6】 前記第1のトランジスタの制御電極に一端が接続されたキャパシタが設けられ、前記各画素が撮像動作を行うときと、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせることを特徴とする請求項3に記載の固体撮像装置。

【請求項7】 前記第2スイッチがトランジスタであることを特徴とする請求項3～請求項6のいずれかに記載の固体撮像装置。

【請求項8】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続されるとともに、第2電極に直流電圧が印加された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、

前記第1のトランジスタの制御電極に一端が接続されたリセット用キャパシタとを有し、

前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記リセット用キャパシタの他端に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、

前記各画素をリセットするとき、前記第1スイッチをOFFにするとともに前記リセット用キャパシタの他端に与える電圧を第2電圧として、前記第1のトランジスタ

に撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項9】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第1電極に直流電圧が印加された光電変換素子と、  
前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、  
前記各画素が撮像動作を行うときは、前記第1スイッチをONにするるとともに前記第1のトランジスタの第2電極に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、

前記各画素をリセットするとき、前記第1スイッチをOFFにするるとともに前記第1のトランジスタの第2電極に与える電圧を第2電圧として、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項10】 入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、

前記光電変換手段が、

第2電極に直流電圧が印加された光電変換素子と、  
前記光電変換素子の第1電極に一方の接点が接続された第1スイッチと、

第1電極と第2電極と制御電極とを備え、第2電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、

第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第2電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、

前記第1スイッチをONにするるとともに前記第1のトランジスタをサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第1スイッチをOFFにするるとともに前記第1のトランジスタの第1電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項11】 前記第1スイッチが前記第1のトランジスタと逆極性のトランジスタであることを特徴とする

請求項3～請求項9のいずれかに記載の固体撮像装置。

【請求項12】 前記第1スイッチがトランジスタであることを特徴とする請求項3～請求項10に記載の固体撮像装置。

【請求項13】 前記画素が、マトリクス状に配設されることを特徴とする請求項1～請求項12のいずれかに記載の固体撮像装置。

【請求項14】 複数の画素を有する固体撮像装置において、

10 各画素が、  
フォトダイオードと、  
該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、

前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、

20 前記第2MOSトランジスタのゲート電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第5MOSトランジスタとを有し、

前記第1及び第4MOSトランジスタをONにするるとともに、第5MOSトランジスタをOFFにして、前記第2MOSトランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第1及び第4MOSトランジスタをOFFにするるとともに、前記第5MOSトランジスタをONにした後、  
前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって、前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

30 【請求項15】 複数の画素を有する固体撮像装置において、

各画素が、  
フォトダイオードと、  
該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極にゲート電極が接続された第3MOSトランジスタと、

前記第2MOSトランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSトランジスタのゲート電極に第2電極が接続された第4MOSトランジスタと、

40 前記第2MOSトランジスタのゲート電極に一端が接続された第1キャパシタとを有し、

前記第1及び第4MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシュヨルド領域で動作させて前記各画素に撮像動作を行わせ、

前記第1及び第4MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えた後、前記第2MOSトランジスタの第2電極に与える電圧を変化させることによって、前記第2MOSトランジスタの閾値電圧による各画素の感度のバツキを検出する

ことを特徴とする固体撮像装置。

【請求項16】 複数の画素を有する固体撮像装置において、各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極の一端が接続された第1キャパシタとを有し、

前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシュヨルド領域で動作させ、前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第1キャパシタの他端に第2電圧を与えて、前記第2MOSトランジスタに撮像時よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項17】 複数の画素を有する固体撮像装置において、各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第1電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSトランジスタとを有し、

前記画素に撮像動作をさせるときは、前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタの第2電極に第1電圧を与えて、前記第2MOSトランジスタを閾値以下のサブスレッシュヨルド領域で動作させ、

前記画素のリセットを行うときは、前記第1MOSトランジスタをOFFにするとともに、前記第2MOSトラン

ジスタの第2電極に第2電圧を与えて、前記第2MOSトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることを特徴とする固体撮像装置。

【請求項18】 前記画素が、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを有することを特徴とする請求項14～請求項17のいずれかに記載の固体撮像装置。

【請求項19】 前記画素が、第1電極に直流電圧が印加され、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第6MOSトランジスタを有することを特徴とする請求項14～請求項17のいずれかに記載の固体撮像装置。

【請求項20】 前記画素が、第1電極が前記第6MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSトランジスタを有することを特徴とする請求項19に記載の固体撮像装置。

【請求項21】 前記画素が、前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされる第2キャパシタを有することを特徴とする請求項19又は請求項20に記載の固体撮像装置。

【請求項22】 前記第3MOSトランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、

前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8MOSトランジスタと、

前記第3MOSトランジスタの第2電極に一端が接続されるとともに、前記第8MOSトランジスタのゲート電極にリセット電圧が与えられたときに前記第8MOSトランジスタを介してリセットされる第2キャパシタと、を有することを特徴とする請求項19又は請求項20に記載の固体撮像装置。

【請求項23】 前記第1MOSトランジスタがディプレッション型MOSトランジスタであることを特徴とする請求項14～請求項22のいずれかに記載の固体撮像装置。

【請求項24】 前記第1MOSトランジスタが前記第2MOSトランジスタと逆極性のMOSトランジスタであることを特徴とする請求項14～請求項22のいずれかに記載の固体撮像装置。

【請求項25】 複数の画素を有する固体撮像装置において、各画素が、

フォトダイオードと、

該フォトダイオードの一方の電極に第2電極が接続された第1MOSトランジスタと、

該第1MOSトランジスタの第1電極に第2電極が接続された第2MOSトランジスタと、

前記第2MOSトランジスタの第2電極にゲート電極が接続された第3MOSトランジスタとを有し、

前記第1MOSトランジスタをONにするとともに、前記第2MOSトランジスタを閾値以下のサブスレッシュ

ルト領域で動作させて前記各画素に撮像動作を行わせ、

前記第1MOSトランジスタをOFFにした後、前記第2MOSトランジスタの第1電極に与える電圧を変化させることによって、前記第2MOSトランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする固体撮像装置。

【請求項26】 前記画素が、第1電極が前記第3MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が選択線に接続された第5MOSトランジスタを有することを特徴とする請求項25に記載の固体撮像装置。

【請求項27】 前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第3MOSトランジスタの第2電極に接続されるとともに、前記第3MOSトランジスタの第2電極から出力される出力信号を増幅する第4MOSトランジスタを有することを特徴とする請求項25に記載の固体撮像装置。

【請求項28】 前記画素が、第1電極が前記第4MOSトランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が選択線に接続された第5MOSトランジスタを有することを特徴とする請求項27に記載の固体撮像装置。

【請求項29】 前記画素が、前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSトランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSトランジスタを介してリセットされるキャパシタを有することを特徴とする請求項27又は請求項28に記載の固体撮像装置。

【請求項30】 前記第3MOSトランジスタが前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタであることを特徴とする請求項29に記載の固体撮像装置。

【請求項31】 前記第3MOSトランジスタの第1電極が直流電圧に接続されるとともに、

前記画素が、

前記第3MOSトランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第6MOSトランジスタと、

前記第3MOSトランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第6MOSトランジスタのゲート電極にリセット電圧が与えられ

たときに前記第6MOSトランジスタを介してリセットされるキャパシタと、

を有することを特徴とする請求項27又は請求項28に記載の固体撮像装置。

【請求項32】 前記第3及び第6MOSトランジスタが前記第1及び第2MOSトランジスタと逆の極性のMOSトランジスタであることを特徴とする請求項31に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体撮像装置に関するものであり、特に複数の画素を備えた固体撮像装置に関する。

【0002】

【従来の技術】 固体撮像装置は、小型、軽量で低消費電力であるのみならず、画像歪や焼き付きが無く、振動や磁界などの環境条件に強い。又、LSI (Large Scale Integrated circuit) と共通の工程又は類似の工程で製造できるので、信頼性が高く、量産にも適している。このため、ライン状に画素が配された固体撮像装置がファクシミリやフラットベッドスキャナに、マトリクス状に画素が配された固体撮像装置がビデオカメラやデジタルカメラなどに幅広く使用されている。ところで、このような固体撮像装置は光電変換素子で発生した光電荷を読み出す（取り出す）手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようにしており、ダイナミックレンジが狭いという欠点がある。一方、MOS型はフォトダイオードのp-n接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。

【0003】 ここで、従来のMOS型固体撮像装置の1画素当りの構成を図54に示し説明する。同図において、PDはフォトダイオードであり、そのカソードがMOSトランジスタT1のゲートとMOSトランジスタT2のドレインに接続されている。MOSトランジスタT1のソースはMOSトランジスタT3のドレインに接続され、MOSトランジスタT3のソースは出力信号線Voutへ接続されている。またMOSトランジスタT1のドレイン及びMOSトランジスタT2のソースには直流電圧VDDが印加され、フォトダイオードのアノードには直流電圧VPSが印加されている。

【0004】 フォトダイオードPDに光が入射すると、光電荷が発生し、その電荷はMOSトランジスタT1のゲートに蓄積される。ここで、MOSトランジスタT3のゲートにパルス信号φVを与えてMOSトランジスタT3をONすると、MOSトランジスタT1のゲートの電荷に比例した電流がMOSトランジスタT1、T3を通じて出力信号線Voutへ増大される。このようにして入射光量に比例した出力電流を読み出すことができる。信号読み出し後はMOSトランジスタT3をOFFにす

るとともに、MOSTトランジスタ2のゲートに信号φRSを与えてMOSTトランジスタ2をONすることでMOSTトランジスタ1のゲート電圧を初期化させることができる。

【0005】

【発明が解決しようとする課題】このように、従来のMOS型の固体撮像装置は各画素においてフォトダイオードで発生したMOSTトランジスタのゲートに蓄積された光電荷をそのまま読み出すものであったからダイナミックレンジが狭く、そのため露光量を精密に制御しなければならず、しかも露光量を精密に制御しても暗い部分が黒くつぶれたり、明るい部分が飽和したりしていた。一方、本出願人は、入射した光量に応じた光電流を発生する感光手段と、光電流を入力するMOSTトランジスタと、このMOSTトランジスタをサブスレッショルド電流が流れる状態にバイアスするバイアス手段とを備え、光電流を対数変換するようにした固体撮像装置を提案した(特開平3-192764号公報参照)。このようにした固体撮像装置は、広いダイナミックレンジを有しているものの、画素毎に設けられたMOSTトランジスタの閾値特性が異なることがあり、画素毎に感度が異なる場合がある。よって、予め輝度が一律な明るい光(一様光)を照射することによって得られた出力を、被写体の撮像時の各画素の出力を補正する補正データとして保持するなどの対策が必要がある。

【0006】しかしながら、操作者が外部光源を用いて各画素を照射するのは煩雑であったり、又、うまく一様に露光できないなどの問題がある。又、一様光の照射機構を撮像装置に設けると撮像装置の構成が煩雑になるという問題があった。そこで本発明者らは、このような問題を解決すべく、予め一様光を照射することなく各画素の感度バラツキをうち消すことができる回路構成について種々検討を行っていた。本発明はこのような点に鑑みながらなされたものであって、予め一様光を照射することなく、被写体の撮像時における各画素の出力を補正する補正データを正確に得ることができる固体撮像装置を提供することを目的とする。又、本発明の他の目的は、各画素の初期状態をほぼ同一の状態とする事によって、各画素の感度のバラツキを抑制した固体撮像装置を提供することである。

【0007】

【課題を解決するための手段】上記の目的を達成するため請求項1に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタ

の第1電極との間にスイッチ手段を備え、前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことを特徴とする。

【0008】又、請求項2に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子と該感光素子に第1電極が電気的に接続される第1のトランジスタを有するとともに該第1のトランジスタをサブスレッショルド領域で動作させて前記電気信号を自然対数的に変換する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記感光素子と前記第1のトランジスタの第1電極との間にスイッチ手段を備え、前記スイッチ手段をONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて撮像を行い、又、前記スイッチ手段をOFFにするとともに前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって前記各画素を同じ初期状態にすることを特徴とする。

【0009】請求項1又は請求項2に記載のような固体撮像装置は、例えば、ビデオムービーなどの撮像装置のように撮像動作とリセット動作を繰り返すこととして、動画を撮像する場合、感光素子に光が入射された状態でも、スイッチ手段をOFFにすることによって、感光素子からの電気出力の影響がカットされ、光電変換手段を正確にリセットすることができる。又、第1のトランジスタに撮像時よりも大きい電流が流れ得るようにしてリセットを行うことによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【0010】請求項3に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極が前記スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの第1電極と制御電極との間に接続された第2スイッチとを有し、前記第1スイッチ及び前記第2スイッチをONにして前記各画素に撮像動作を行わせ、前記第1スイッチ及び前記第2スイッチをOFFにするとともに前記第1のトランジスタの制御電極と第2電極に与える電圧を変化させることによって、前記各画

素の感度のバラツキを検出することと特徴とする。

【0011】このような固体撮像装置において、請求項4に記載するように、前記第1のトランジスタの制御電極に一方の接点が接続されるとともに、他方の接点に直流電圧が印加された第3スイッチを設けて、前記各画素が撮像動作を行うときは、前記第3スイッチをOFFにし、又、前記各画素の感度のバラツキを検出するときは、前記第3スイッチをONにするような構成にしても良い。又、請求項5に記載するように、この第3スイッチをトランジスタとしても良い。又、請求項6に記載するように、前記第1のトランジスタの制御電極に一端が接続されたキャパシタが設けて、前記各画素が撮像動作を行うとき、前記各画素の感度バラツキを検出するときとで前記キャパシタの他端に印加する電圧を異ならせるような固体撮像装置としても良い。又、請求項7に記載するように、前記第2スイッチをトランジスタとしても良い。

【0012】請求項8に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出回路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続されるとともに、第2電極に直流電圧が印加された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタと、前記第1のトランジスタの制御電極に一端が接続されたリセット用キャパシタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記リセット用キャパシタの他端に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、前記各画素をリセットすると、前記第1スイッチをOFFにするとともに前記リセット用キャパシタの他端に与える電圧を第2電圧として、前記第1のトランジスタに撮像時よりも大きい電流が流れ得るようにすることと特徴とする。

【0013】このような固体撮像装置において、各画素の前記リセット用キャパシタの他端に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせるとき、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0014】請求項9に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信

号線へ導出する導出回路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第1電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第2電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第1電極及び制御電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第1電極及び制御電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、前記各画素が撮像動作を行うときは、前記第1スイッチをONにするとともに前記第1のトランジスタの第2電極に与える電圧を第1電圧として前記第1のトランジスタをサブスレッショルド領域で動作させ、前記各画素をリセットすると、前記第1スイッチをOFFにするとともに前記第1のトランジスタの第2電極に与える電圧を第2電圧として、前記第1のトランジスタに前記第2電圧を与える前よりも大きい電流が流れ得るようにすることと特徴とする。

【0015】このような固体撮像装置において、各画素の前記第2のトランジスタの第2電極に与える第2電圧を一定の電圧値にすることによって、各画素をリセットさせるとき、各画素の前記第2のトランジスタの制御電圧をほぼ同一の初期状態とすることができる。よって、画素毎に生じる感度のバラツキを抑制することができる。

【0016】請求項10に記載の固体撮像装置は、入射した光量に対して自然対数的に変換した出力信号を発生する光電変換手段と、該光電変換手段の出力信号を出力信号線へ導出する導出回路とを備えた複数の画素を有する固体撮像装置において、前記光電変換手段が、第2電極に直流電圧が印加された光電変換素子と、前記光電変換素子の第1電極に一方の接点が接続された第1スイッチと、第1電極と第2電極と制御電極とを備え、第2電極が前記第1スイッチの他方の接点に接続された第1のトランジスタと、第1電極と第2電極と制御電極とを備え、第1電極に直流電圧が印加されるとともに制御電極が前記第1のトランジスタの第2電極に接続され、第2電極から電気信号を出力する第2のトランジスタとを有し、前記第1スイッチをONにするとともに前記第1のトランジスタをサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1スイッチをOFFにするとともに前記第1のトランジスタの第1電極に与える電圧を変化させることによって、前記各画素の感度のバラツキを検出することと特徴とする。

【0017】このような固体撮像装置において、前記第1のトランジスタをサブスレッショルド領域で動作するように該第1のトランジスタ制御電極に電圧を与えることによって、前記光電変換手段が対数変換動作をすることができる。又、前記第1のトランジスタを非導通状態



になるように制御電極に電圧を与えることによって、第2のトランジスタの制御電極に電荷を蓄積させて、前記光電変換手段を線形変換動作とさせることができる。

【0018】請求項11に記載の固体撮像装置は、請求項3～請求項9のいずれかに記載の固体撮像装置において、前記第1スイッチが前記第1のトランジスタと逆極性のトランジスタであることを特徴とする。又、請求項12に記載の固体撮像装置は、請求項3～請求項10に記載の固体撮像装置において、前記第1スイッチがトランジスタであることを特徴とする。

【0019】請求項13に記載の固体撮像装置は、請求項1～12のいずれかに記載の固体撮像装置において、前記画素がマトリクス状に配設されることを特徴とする。

【0020】請求項14に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第2電極に第1電極が接続された第2MOSTランジスタと、前記第2MOSTランジスタの第1電極にゲート電極が接続された第3MOSTランジスタと、前記第2MOSTランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSTランジスタのゲート電極に第2電極が接続された第4MOSTランジスタと、前記第2MOSTランジスタのゲート電極に第1電極が接続されるとともに、第2電極に直流電圧が印加された第5MOSTランジスタとを有し、前記第1及び第4MOSTランジスタをONにするるとともに、第5MOSTランジスタをOFFにして、前記第2MOSTランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSTランジスタをOFFにするるとともに、前記第5MOSTランジスタをONにした後、前記第2MOSTランジスタの第2電極に与える電圧を変化させることによって前記第2MOSTランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

【0021】請求項15に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第2電極に第1電極が接続された第2MOSTランジスタと、前記第2MOSTランジスタの第1電極にゲート電極が接続された第3MOSTランジスタと、前記第2MOSTランジスタの第1電極に第1電極が接続されるとともに、前記第2MOSTランジスタのゲート電極に第2電極が接続された第4MOSTランジスタと、前記第2MOSTランジスタのゲート電極に一端が接続された第1キャパシタとを有し、前記第1及び第4MOSTランジスタをONにするるととも

に、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSTランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1及び第4MOSTランジスタをOFFにするるとともに、前記第1キャパシタの他端に第2電圧を与えた後、前記第2MOSTランジスタの第2電極に与える電圧を変化させることによって前記第2MOSTランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

10 【0022】請求項16に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSTランジスタと、前記第2MOSTランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSTランジスタと、前記第2MOSTランジスタの第1電極及びゲート電極に第1電圧が接続されるとともに、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSTランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1キャパシタの他端に第1電圧を与えて、前記第2MOSTランジスタをOFFにするるとともに、前記第1キャパシタの他端に第2電圧を与えて、前記第2MOSTランジスタに撮像時よりも大きい電流が流れ得ようにすることを特徴とする。

30 【0023】請求項17に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第1電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第2電極に第1電極及びゲート電極が接続された第2MOSTランジスタと、前記第2MOSTランジスタの第1電極及びゲート電極にゲート電極が接続された第3MOSTランジスタとを有し、前記画素に撮像動作をさせるときは、前記第1MOSTランジスタをONにするるとともに、前記第2MOSTランジスタの第2電極に第1電圧を与えて、前記第2MOSTランジスタを閾値以下のサブスレッショルド領域で動作させ、前記画素のリセットを行うときは、前記第1MOSTランジスタをOFFにするるとともに、前記第2MOSTランジスタの第2電極に第2電圧を与えて、前記第2MOSTランジスタに前記第2電圧を与える前よりも大きい電流が流れ得ようにすることを特徴とする。

【0024】又、請求項18に記載するに、前記画素に、第1電極が前記第3MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSTランジスタを設けても良い。又、請求項19に記載の固体撮像装置のように、前記画素に、第1電極に直流電圧が印加さ

れ、ゲート電極が前記第3MOSTランジスタの第2電極に接続されるとともに、前記第3MOSTランジスタの第2電極から出力される出力信号を増幅する第6MOSTランジスタを設けても良い。

【0025】請求項20に記載の固体撮像装置は、請求項19に記載の固体撮像装置において、前記画素が、第1電極が前記第6MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第7MOSTランジスタを有することを特徴とする。

【0026】請求項21に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記画素が、前記第3MOSTランジスタの第2電極に一端が接続されるとともに、前記第3MOSTランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSTランジスタを介してリセットされるキャパシタを有することを特徴とする。

【0027】請求項22に記載の固体撮像装置は、請求項19又は請求項20に記載の固体撮像装置において、前記第3MOSTランジスタの第1電極に直流電圧が印加されるとともに、前記画素が、前記第3MOSTランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第8MOSTランジスタと、前記第8MOSTランジスタの第2電極に一端が接続されるとともに、前記第8MOSTランジスタのゲート電極にリセット電圧が与えられたときに前記第8MOSTランジスタを介してリセットされるキャパシタと、を有することを特徴とする。

【0028】請求項23に記載の固体撮像装置は、請求項14～請求項22のいずれかに記載の固体撮像装置において、前記第1MOSTランジスタがディプレッション型MOSTランジスタであることを特徴とする。又、請求項24に記載の固体撮像装置は、請求項14～請求項22にのいずれかに記載の固体撮像装置において、前記第1MOSTランジスタが前記第2MOSTランジスタと逆極性のMOSTランジスタであることを特徴とする。

【0029】請求項25に記載の固体撮像装置は、複数の画素を有する固体撮像装置において、各画素が、フォトダイオードと、該フォトダイオードの一方の電極に第2電極が接続された第1MOSTランジスタと、該第1MOSTランジスタの第1電極に第2電極が接続された第2MOSTランジスタと、前記第2MOSTランジスタの第2電極にゲート電極が接続された第3MOSTランジスタとを有し、前記第1MOSTランジスタをONにするとともに、前記第2MOSTランジスタを閾値以下のサブスレッショルド領域で動作させて前記各画素に撮像動作を行わせ、前記第1MOSTランジスタをOFFにした後、前記第2MOSTランジスタの第1電極に与える電圧を変化させることによって、前記第2MOST

トランジスタの閾値電圧による各画素の感度のバラツキを検出することを特徴とする。

【0030】請求項25に記載の固体撮像装置において、請求項26に記載するように、前記画素に、第1電極が前記第3MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSTランジスタを設けても構わない。

【0031】又、請求項27に記載するように、前記画素に、前記画素が、第1電極が直流電圧に接続され、ゲート電極が前記第3MOSTランジスタの第2電極に接続されるとともに、前記第3MOSTランジスタの第2電極から出力される出力信号を増幅する第4MOSTランジスタ設けた構成としても構わない。又、このような構成の固体撮像装置において、請求項28に記載するように、前記画素に、第1電極が前記第4MOSTランジスタの第2電極に接続され、第2電極が出力信号線に接続され、ゲート電極が行選択線に接続された第5MOSTランジスタを設けても構わない。

【0032】又、請求項27又は請求項28に記載の固体撮像装置において、請求項29に記載するように、前記画素に、前記第3MOSTランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第3MOSTランジスタの第1電極にリセット電圧が与えられたときに前記第3MOSTランジスタを介してリセットされるキャパシタを設けても良い。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去される。更に、前記第3MOSTランジスタの第1電極にリセット電圧を与えることによって、前記第3MOSTランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0033】このような構成の固体撮像装置において、請求項30に記載するように、前記第3MOSTランジスタが前記第1及び第2MOSTランジスタと逆の極性のMOSTランジスタとしても構わない。

【0034】又、請求項31に記載するように、前記画素において、前記第3MOSTランジスタの第1電極が直流電圧に接続されるとともに、前記画素が、前記第3MOSTランジスタの第2電極に第1電極が接続され第2電極に直流電圧が接続された第6MOSTランジスタと、前記第3MOSTランジスタの第2電極に一端が接続され他端が直流電圧に接続されるとともに、前記第6MOSTランジスタのゲート電極にリセット電圧が与えられたときに前記第6MOSTランジスタを介してリセットされるキャパシタと、を設けても構わない。このような構成にすることによって、画素から出力される信号が、一旦キャパシタで積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて

除去される。更に、前記第6 MOSトランジスタのゲート電極にリセット電圧を与えることによって、前記第6 MOSトランジスタを介してキャパシタ内の電荷が放出されてリセットされる。

【0035】このような構成の固体撮像装置において、請求項32に記載するように、前記第3及び第6 MOSトランジスタを前記第1及び第2 MOSトランジスタと逆の極性の MOSトランジスタとしても構わない。

【0036】

【発明の実施の形態】<画素構成の第1例>以下、本発明の固体撮像装置の各実施形態を図面を参照して説明する。図1は本発明の一実施形態である二次元の MOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11~Gmnは行列配置（マトリクス配置）された画素を示している。2は垂直走査回路であり、行（ライン）4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2、・・・、4-nや出力信号線6-1、6-2、・・・、6-m、電源ライン5だけでなく、他のライン（例えば、クロックラインやバイアス供給ライン等）も接続されるが、図1ではこれらについて省略する。

【0037】出力信号線6-1、6-2、・・・、6-mごとにNチャネルの MOSトランジスタQ2が図示の如く1つずつ設けられている。MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。尚、後述するように各画素内にはスイッチ用のNチャネルの第4 MOSトランジスタT4も設けられている。ここで、MOSトランジスタT4は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。

【0038】<第1の実施形態>図1に示した画素構成の第1例の各画素に適用される第1の実施形態（図2）について、図面を参照して説明する。

【0039】図2において、pnフォトダイオードPDが感光部（光電変換部）を形成している。そのフォトダイオードPDのアノードは第1 MOSトランジスタT1のドレインに接続され、この MOSトランジスタT1のソースは、第2 MOSトランジスタのドレイン、第3 MOSトランジスタT3のゲート及び第5 MOSトランジスタT5のドレインに接続されている。MOSトランジスタT3のソースは行選択用の第4 MOSトランジスタT4のドレインに接続されている。MOSトランジスタT4のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSトランジスタT1~T6は、それぞれ、Nチャネルの MOSトランジスタでバックゲー

トが接地されている。

【0040】又、フォトダイオードPDのカソードには直流電圧V<sub>PD</sub>が印加されるようになっている。一方、MOSトランジスタT2のソースには信号φV<sub>S</sub>が入力され、MOSトランジスタT3のソースには他端に直流電圧V<sub>PS</sub>が印加されるキャパシタC1の一端が接続される。MOSトランジスタT6のソースに直流電圧V<sub>RR</sub>が印加され、そのゲートに信号φV<sub>RS</sub>が入力されるとともに、そのドレインに MOSトランジスタT2のゲート及び MOSトランジスタT5のソースが接続される。MOSトランジスタT3のドレインには信号φDが入力される。

【0041】又、MOSトランジスタT5のゲートに信号φSWが入力され、MOSトランジスタT1のゲートに信号φSが入力される。更に、MOSトランジスタT4のゲートには信号φVが入力される。尚、本実施形態においては、信号φV<sub>PS</sub>は3値的に変化するものとし、例えば直流電圧V<sub>PD</sub>と略等しい電圧をハイレベル、例えばグラウンドをローレベルとし、MOSトランジスタT2をサブスレッショルド領域で動作させるための電圧を両者の中間的な電圧である中間レベルとする。中間レベルでは、例えば、直流電圧V<sub>PS</sub>と略等しい電圧とする。

【0042】（1）各画素への入射光を電気信号に変換する動作について

まず、信号φS及び信号φSWをハイレベルとして MOSトランジスタT1、T5を導通させるとともに、MOSトランジスタT2がサブスレッショルド領域で動作するように、信号φV<sub>PS</sub>を中間レベルとする。このとき、MOSトランジスタT6のゲートには、ローレベルの信号φV<sub>RS</sub>が与えられて、MOSトランジスタT6はOFFとなり、実質的に存在しないことと等値になる。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧が MOSトランジスタT2、T3のゲートに発生する。この電圧により、MOSトランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1と MOSトランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に変換した値に比例した電圧が生じることとなる。ただし、このとき、MOSトランジスタT4はOFFの状態であるとする。

【0043】次に、MOSトランジスタT4のゲートにバース信号φVを与えて、MOSトランジスタT4をONにすると、キャパシタC1に蓄積された電荷が、出力電流として出力信号線6に導出される。この出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

10

20

30

40

50

又、信号読み出し後、MOSTランジスタT4をOFFする。尚、このように入射光量に対してその出力電流を自然対数的に変換するとき、信号 $\phi$ VRSは、常にローレベルのままである。

【0044】(2) 各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図2のような回路構成の画素の感度のバラツキ検出動作について説明する。図3は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

又、図4は、各画素のリセットを行う際のMOSTランジスタT2のポテンシャルの状態を示す図である。尚、図4(a)は、MOSTランジスタT2の構造を示した図で、図4(b)、(c)はMOSTランジスタT2のポテンシャルの関係を示した図である。又、図4

(b)、(c)のポテンシャル図に示す矢印の方向は、ポテンシャルが高くなる方向を示す。

【0045】ところで、MOSTランジスタT2は、例えば、図4(a)のように、P型の半導体基板(以下、「P型基板」という。)10にN型拡散層11、12を形成し、且つ、そのN型拡散層11、12間のチャンネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層11、12が、それぞれMOSTランジスタT2のドレイン、ソースを形成するとともに、酸化膜13及びポリシリコン層14がそれぞれゲート絶縁膜とゲート電極を形成する。尚、ここで、P型基板10において、N型拡散層11、12の間の領域をゲート下領域ということにする。

【0046】(1) で説明したように、パルス信号 $\phi$ VがMOSTランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号 $\phi$ Sの電圧をローレベルにしてMOSTランジスタT1をOFFにするとともに、信号 $\phi$ SWの電圧をローレベルにしてMOSTランジスタT5をOFFにする。このようにして、MOSTランジスタT2とフォトダイオードPDとの接続、及びMOSTランジスタT2のゲートとMOSTランジスタT3のゲートとの接続を遮断する。そして、信号 $\phi$ VRSの電圧をハイレベルにしてMOSTランジスタT6をONにすることによって、MOSTランジスタT2のゲートに直流電圧VRBを印加する。又、このとき、信号 $\phi$ Dの電圧はハイレベル(直流電圧VPDと同じ又は直流電圧VPDに近い電位)である。

【0047】ここで信号 $\phi$ VPSの電圧をローレベルにすることによって、MOSTランジスタT2におけるポテンシャルの関係を、図4(b)のように、MOSTランジスタT2のドレイン、ゲート下領域、ソースにおけるポテンシャルがドレイン、ゲート下領域、ソースの順に高くなる。よって、MOSTランジスタT2のソースから負の電荷EがMOSTランジスタT2に流れ込む。このとき、フォトダイオードPDとの経路が遮断されてい

るので正の電荷がMOSTランジスタT2のドレインに向かって流れることが無い。そのため、MOSTランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0048】そして、次に、信号 $\phi$ VPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、図4(c)のように、MOSTランジスタT2のソースのポテンシャルをゲート下領域のポテンシャルよりも高くする。よって、MOSTランジスタT2のドレイン・ソース間に蓄積された負の電荷が、信号線 $\phi$ VPSに流れ出す。しかしながら、MOSTランジスタT2のドレインのポテンシャルが、ゲート下領域のポテンシャルよりも高いので、MOSTランジスタT2のドレインに蓄積された負の電荷の一部E'がMOSTランジスタT2のドレインに残る。このMOSTランジスタT2のドレインに蓄積される負の電荷E'は、MOSTランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0049】このとき、MOSTランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷E'に対応した電圧となり、このMOSTランジスタT2のドレイン電圧がMOSTランジスタT3のゲートに現れる。このMOSTランジスタT3のゲートに現れる電圧は、MOSTランジスタT2のドレインに蓄積された負の電荷E'に比例するので、MOSTランジスタT2の閾値電圧に比例することがわかる。MOSTランジスタT2、T3をこのような状態にすると、信号 $\phi$ Dをローレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号 $\phi$ Dをハイレベルに戻す。

【0050】そして、MOSTランジスタT3のゲート電圧によって、MOSTランジスタT3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号 $\phi$ VをハイレベルにしてMOSTランジスタT4をONすることによって、キャパシタC1に蓄積された電荷が出力電流として出力信号線6に導出される。このようにして画素毎に、そのMOSTランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0051】更にいえば、この閾値電圧に比例した電流は図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図5に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0052】さて、上述のように補正データを検出して MOS トランジスタ T4 を OFF した後、信号  $\phi$  VPS を中間レベルに戻し MOS トランジスタ T2 をリセットするとともに、信号  $\phi$  VRS をローレベルにして MOS トランジスタ T6 を OFF にする。そして、信号  $\phi$  S 及び信号  $\phi$  SW をハイレベルにして、MOS トランジスタ T1、T5 を ON にした後、信号  $\phi$  D をローレベルにして MOS トランジスタ T3 を通して信号  $\phi$  D の信号線路へキャパシタ C1 に蓄積された電荷を放電することによって、キャパシタ C1 及び接続ノード a の電位が初期化される。こうして次の撮像が行える状態とする。

【0053】<第2の実施形態>第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0054】図5に示すように、MOS トランジスタ T1-T5 及びキャパシタ C1 は、第1の実施形態（図2）の画素と同様の構成で、このような構成の画素に、MOS トランジスタ T6 に代えてキャパシタ C2 を用いた回路構成となっている。即ち、キャパシタ C2 は、その一端が MOS トランジスタ T2 のゲートと MOS トランジスタ T5 のソースとの接続ノードに接続されるとともに、他端に信号  $\phi$  VRS が印加される。尚、信号  $\phi$  VRS は2値の電圧信号で、グランドレベルをローレベルとし、又、このローレベルより高い電圧をゲートに印加するための電圧をハイレベルとする。

【0055】（1）各画素への入射光を電気信号に変換する動作について

図5のような回路構成の画素において、MOS トランジスタ T2 がサブスレッショルド領域で動作するように、キャパシタ C2 に与える信号  $\phi$  VRS をローレベルとする。又、信号  $\phi$  S 及び信号  $\phi$  SW をハイレベルにして、MOS トランジスタ T1、T5 を ON にする。このように、信号  $\phi$  VRS をローレベルにすることによって、キャパシタ C2 は MOS トランジスタ T2、T3 のゲート、バックゲートにおける絶縁酸化膜で形成されるキャパシタと同様の働きをする。このように MOS トランジスタ T2 をサブスレッショルド領域で動作させることによって、フォトダイオード PD から流れる光電流を対数変換した電圧が接続ノード a に現れる。そして、MOS トランジスタ T4 を ON にすることによって、対数変換された出力信号を出力信号線 6 に出力する。

【0056】（2）各画素の感度のバツキの検出方法について

又、各画素の感度のバツキの検出する際の動作は、第1の実施形態と同様、図3に示すタイミングチャートに表されるリセット動作が行われる間に行われる。又、このときの動作について、図3のタイミングチャートと図

4 のポテンシャルの変遷図を参照して、以下に説明する。まず、パルス信号  $\phi$  V が与えられた後、信号  $\phi$  S 及び信号  $\phi$  SW をローレベルにして MOS トランジスタ T1、T5 を OFF にすることで、リセット動作が始まる。そして、信号  $\phi$  VRS をハイレベルにすることによって MOS トランジスタ T2 のゲート下領域のポテンシャルを上昇させて、更に、信号  $\phi$  VPS の電圧をローレベルにすることによって、MOS トランジスタ T2 のポテンシャルを図4（b）のような状態にして、負の電荷をソースから MOS トランジスタ T2 に流入させる。

【0057】この MOS トランジスタ T2 に流入した負の電荷 E が、図4（b）のように蓄積された後、信号  $\phi$  VPS をその値が直流電圧 VPD に略等しいハイレベルにする。このとき、MOS トランジスタ T2 のソースのポテンシャルがゲート下領域のポテンシャルより高くなるので、蓄積された負の電荷 E の一部がドレインより流出される。よって、図4（c）のように、MOS トランジスタ T2 のドレイン及び MOS トランジスタ T2 のゲートに負の電荷 E' が蓄積された状態となる。このように負の電荷 E' が蓄積された状態にあるため、MOS トランジスタ T2 のゲート電圧が、MOS トランジスタ T1 の閾値電圧によって決定される負の電荷 E' によって定まる。

【0058】この状態を維持したまま、まず、信号  $\phi$  D をローレベルにして、キャパシタ C1 を一旦リセットする。そして、信号  $\phi$  D をもとのハイレベルに戻し、MOS トランジスタ T3 のゲート電圧によって増幅された電流をキャパシタ C1 に充電する。このようにキャパシタ C1 を充電することによって接続ノード a に表れる電圧を、パルス信号  $\phi$  V を与えることで、出力信号として MOS トランジスタ T4 を介して出力信号線 6 に出力する。

【0059】更にいえば、この閾値電圧に比例した電流は図1の信号線 9 から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0060】このように、各画素の感度のバラツキの原因である MOS トランジスタ T2 の閾値電圧に比例した値となる信号を出力したのち、信号  $\phi$  VPS を中間レベルにして MOS トランジスタ T2 をリセットする。その後、信号  $\phi$  VRS をローレベルにする。そして、信号  $\phi$  S 及び信号  $\phi$  SW をハイレベルにして MOS トランジスタ T1、T5 を導通させた後、信号  $\phi$  D をローレベルにしたのちハイレベルにすることによって、キャパシタ C1 のリセットを行う。

【0061】＜第3の実施形態＞第3の実施形態について、図面を参照して説明する。図6は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0062】図6に示すように、第2の実施形態（図5）の画素から、MOSTランジスタT5を削除した回路構成となっている。即ち、MOSTランジスタT2、T3のゲートが接続され、又、MOSTランジスタT2のソースには直流電圧VPSが印加される。

【0063】（1）各画素への入射光を電気信号に変換する動作について

このような構成の画素における撮像動作は、第2の実施形態（図5）と同様の撮像動作を行う。即ち、信号φSをハイレベルとしてMOSTランジスタT1を導通させるとともに信号φVRSをローレベルとすることによって、MOSTランジスタT2をサブスレッショルド領域で動作させる。このようにMOSTランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSTランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0064】（2）各画素のリセット動作について  
以下に、図面を参照して、図6のような回路構成の画素のリセット動作について説明する。図7は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図8は、各画素のリセットを行う際のMOSTランジスタT2のポテンシャルの状態を示す図である。尚、図8（a）～（d）において、矢印の方向がポテンシャルが高いことを表す。

【0065】（1）で説明したように、MOSTランジスタT4のゲートにパルス信号φVを与えることによって、図2のような回路構成の各画素から入射光に対して対数変換された電気信号（出力信号）が出力信号線6に出力される。このように出力信号が出力されてパルス信号φVがローレベルになると、リセット動作が始まる。このリセット動作について、図7及び図8を参照して説明する。

【0066】まず、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が出力されると、信号φSをローレベルにしてMOSTランジスタT1をOFFにする。このとき、MOSTランジスタT2のソース側より負の電荷が流れ込み、MOSTランジスタT2のゲート及びドレイン、MOSTランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が再結合される。よって、図8（a）のように、ある程度まで、MOSTランジスタT2のドレイン及びゲート

下領域のポテンシャルが下がる。

【0067】このように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、キャパシタC2に与える電圧φVRSを高くして、MOSTランジスタT2のゲート電圧を高くする。このように、MOSTランジスタT2のゲート電圧を高くすることによって、MOSTランジスタT2のポテンシャルが図8（b）のように変化し、ゲート下領域及びドレインのポテンシャルが高くなる。よって、MOSTランジスタT2のソースから流入する負の電荷の量が増加し、MOSTランジスタT2のゲート及びドレイン、MOSTランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。

【0068】よって、図8（c）のように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが図8（b）の状態と比べて低くなる。図8（c）のようにMOSTランジスタT2のポテンシャルが変化すると、キャパシタC2に印加する電圧φVRSをローレベルにして、MOSTランジスタT2のゲート電圧を低くする。よって、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが、図8（d）のようになって、基の状態にリセットされる。このように、MOSTランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号φDの電圧をハイレベルに戻す。

【0069】しかる後、パルス信号φVをMOSTランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号φDの電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号φDの電圧をハイレベルに戻す。その後、信号φSをハイレベルにして、MOSTランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のパラッキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0070】このように、本実施形態では、MOSTラ

ンジスタT2のゲートに接続されたキャパシタC2に与える信号φVRSをハイレベルにすることによって、MOSTランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合に残留像の発生を防止して良好な撮像が可能となる。又、信号φVRSを各画素に共通に与えることによって、各画素に設けられたMOSTランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【0071】<第4の実施形態>第4の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0072】図9に示すように、第3の実施形態(図6)の画素から、キャパシタC2を削除した回路構成となっている。又、MOSTランジスタT2のソースには信号φVPSが入力される。尚、信号φVPSは、2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSTランジスタT2をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSTランジスタT2にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

【0073】(1) 各画素への入射光を電気信号に変換する動作について  
このような構成の画素における撮像動作は、第3の実施形態(図6)と同様の撮像動作を行う。即ち、信号φSをハイレベルにしてMOSTランジスタT1を導通させるとともに、信号φVPSをハイレベルとすることによって、MOSTランジスタT2をサブスレッショルド領域で動作させる。このようにMOSTランジスタT2をサブスレッショルド領域で動作させることによって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSTランジスタT4をONにすることによって、対数変換された出力信号を出力信号線6に出力する。

【0074】(2) 各画素のリセット動作について  
以下に、図面を参照して、図9のような回路構成の画素のリセット動作について説明する。図10は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。又、図11は、各画素のリセットを行う際のMOSTランジスタT2のポテンシャルの状態を示す図である。尚、図11(a)～(d)において、矢印の方向がポテンシャルが高いことを表す。

【0075】(1) で説明したように、MOSTランジ

スタT4のゲートにパルス信号φVを与えることによって、図9のような回路構成の各画素から入射光に対して対数変換された電気信号(出力信号)が出力信号線6に出力される。このように出力信号が出力されるパルス信号φVがローレベルになると、リセット動作が始まる。このリセット動作について、図10及び図11を参照して説明する。

【0076】まず、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が出力されると、信号φSをローレベルにしてMOSTランジスタT1をOFFにする。このとき、MOSTランジスタT2のソース側より負の電荷が流れ込み、MOSTランジスタT2のゲート及びドレイン、そしてMOSTランジスタT3のゲートに蓄積された正の電荷が再結合される。よって、図11(a)のように、ある程度までリセットされて、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが下がる。

【0077】このように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急に暗くなった場合にこの傾向が顕著となる。よって、次に、MOSTランジスタT2のソースに与える信号φVPSをローレベルにする。このように、MOSTランジスタT2のソース電圧を低くすることによって、MOSTランジスタT2のポテンシャルが図11(b)のように変化し、MOSTランジスタT2のソースから流入する負の電荷の量が増加し、MOSTランジスタT2のゲート及びドレイン、そしてMOSTランジスタT3のゲートに蓄積された正の電荷が速やかに再結合される。

【0078】よって、図11(c)のように、MOSTランジスタT2のドレイン及びゲート下領域のポテンシャルが図11(b)の状態と比べて低くなる。図11(c)のようにMOSTランジスタT2のポテンシャルが変化すると、MOSTランジスタT2のソースに与える信号φVPSをハイレベルにする。よって、MOSTランジスタT2のポテンシャル状態が、図11(d)のようになつて、基の状態にリセットされる。このように、MOSTランジスタT2のポテンシャルの状態を基の状態にリセットした後、信号φDの電圧をローレベルにして、キャパシタC1を放電して、接続ノードaの電位を基の状態にリセットする。そして、信号φDの電圧をハイレベルに戻す。

【0079】しかる後、パルス信号φVをMOSTランジスタT4に与えて、このリセット時の出力電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。そして、再び、信号φDの電圧をローレベルにしてキャパシタC1を元の状態にリセットした後、信号φDの電圧をハイ

レベルに戻す。その後、信号 $\phi$ Sをハイレベルにして、MOSトランジスタT1を導通させて撮像動作が行える状態にする。又、第1の実施形態と同様に、このリセット時に読み出した出力信号が、図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のパラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0080】このように、本実施形態では、MOSトランジスタT2のソースに与える信号 $\phi$ VPSをローレベルにすることによって、MOSトランジスタT2のゲート電圧を速やかに初期化することができ、固体撮像装置の応答性を改善することができる。従って、暗い被写体の撮像する場合や、明るい被写体が急に暗くなった場合にも残像の発生を防止して良好な撮像が可能となる。又、信号 $\phi$ VPSを各画素に共通に与えることによって、各画素に設けられたMOSトランジスタT2のゲート電圧がほぼ一定値に初期化され、初期状態において、各画素の感度バラツキがキャンセルされた状態になる。

【0081】尚、第1～第4の実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしても構わない。この場合、図2、図5、図6及び図9のMOSトランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0082】<画素構成の第2例>図12は本発明の他の実施形態である二次元のMOS型固体撮像装置の一部の構成を概略的に示している。同図において、G11～Gmnは行列配置(マトリクス配置)された画素を示している。2は垂直走査回路であり、行(ライン)4-1、4-2、・・・、4-nを順次走査していく。3は水平走査回路であり、画素から出力信号線6-1、6-2、・・・、6-mに導出された光電変換信号を画素ごとに水平方向に順次読み出す。5は電源ラインである。各画素に対し、上記ライン4-1、4-2、・・・、4-nや出力信号線6-1、6-2、・・・、6-m、電源ライン5だけでなく、他のライン(例えば、クロックラインやバイアス供給ライン等)も接続されるが、図12ではこれらについて省略する。

【0083】出力信号線6-1、6-2、・・・、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。MOSトランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。一方、MOSトランジスタ

Q2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0084】画素G11～Gmnには、後述するように、それらの画素で発生した光電荷に基づく信号を出力するNチャネルのMOSトランジスタTaが設けられている。MOSトランジスタTaと上記MOSトランジスタQ1との接続関係は図13(a)のようになる。このMOSトランジスタTaは、第5、第6、第11、第12の実施形態では、第7MOSトランジスタT7に、第7～第10、第13の実施形態では、第3MOSトランジスタT3に相当する。ここで、MOSトランジスタQ1のソースに接続される直流電圧VPS'と、MOSトランジスタTaのドレインに接続される直流電圧VPB'との関係はVPB' > VPS'であり、直流電圧VPS'は例えばグラウンド電圧(接地)である。この回路構成は1段のMOSトランジスタTaのゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図13(a)の回路はソースフォロワ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えてよい。

【0085】MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図14以降の各実施形態の画素内にはスイッチ用のNチャネルの第4MOSトランジスタT4も設けられている。このMOSトランジスタT4も含めて表すと、図13(a)の回路は正確には図13(b)のようになる。即ち、MOSトランジスタT4がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT4は行の選択を行うものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図12および図13に示す構成は以下に説明する第5の実施形態～第13の実施形態に共通の構成である。

【0086】図13のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感光素子から発生する光電流を自然対数的に変換しているような場合は、そのままでは出力信号が小さいが、本増幅回路により充分大きな信号に増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けずに、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、・・・、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0087】<第5の実施形態>図12に示した画素構成の第2例の各画素に適用される第5の実施形態について



て、図面を参照して説明する。図14は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図2に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0088】図14に示すように、本実施形態では、図2に示す画素に、接続ノードaにゲートが接続され接続ノードaの電圧に応じた電流増幅を行う第7MOSTランジスタT7と、このMOSTランジスタT7のソースにドレインが接続された行選択用の第4MOSTランジスタT4と、接続ノードaにドレインが接続されキャパシタC1及び接続ノードaの電位の初期化を行う第8MOSTランジスタT8とが付加された構成となる。MOSTランジスタT4のソースは出力信号線6（この出力信号線6は図12の6-1、6-2、・・・、6-mに対応する）へ接続されている。尚、MOSTランジスタT7、T8も、MOSTランジスタT1～T6と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。

【0089】又、MOSTランジスタT7のドレインには直流電圧VPDが印加され、MOSTランジスタT4のゲートには信号φVが入力される。又、MOSTランジスタT8のソースには直流電圧VRBが印加されるとともに、そのゲートには信号φVRSが印加される。更に、MOSTランジスタT3のドレインには直流電圧VPDが印加される。尚、本実施形態において、MOSTランジスタT1～T6及びキャパシタC1は、第1の実施形態（図2）と同様の動作を行い、各画素の感度のバラツキ検出動作及び撮像動作を行うことができる。以下にその動作を説明する。

【0090】（1）各画素への入射光を電気信号に変換する動作について  
まず、信号φS及び信号φSWをハイレベルとしてMOSTランジスタT1、T5を導通させるとともに信号φVPSを中間レベルとし、MOSTランジスタT2、T3がサブスレッショルド領域で動作するようにバイアスされているときの動作について、説明する。このとき、MOSTランジスタT6のゲートには、第1の実施形態と同様にローレベルの信号φVRSが与えられるので、MOSTランジスタT6はOFFとなり、実質的に存在しないことと等価になる。

【0091】フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、前記光電流を自然対数的に変換した値の電圧がMOSTランジスタT2、T3のゲートに発生する。この電圧により、MOSTランジスタT3に電流が流れ、キャパシタC1には前記光電流の積分値を自然対数的に変換した値と同等の電荷が蓄積される。つまり、キャパシタC1とMOSTランジスタT3のソースとの接続ノードaに、前記光電流の積分値を自然対数的に 50

換した値に比例した電圧が生じることになる。ただし、このとき、MOSTランジスタT4、T8はOFF状態である。

【0092】次に、MOSTランジスタT4のゲートにパルス信号φVを与えて、MOSTランジスタT4をONすると、MOSTランジスタT7のゲートにかかる電圧に比例した電流がMOSTランジスタT4、T7を通して出力信号線6に導出される。今、MOSTランジスタT4のゲートにかかる電圧は、接続ノードaにかかる電圧であるので、出力信号線6に導出される電流は前記光電流の積分値を自然対数的に変換した値となる。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すことができる。

【0093】（2）各画素の感度のバラツキの検出方法について

以下に、図面を参照して、図14のような回路構成の画素の感度のバラツキ検出動作について説明する。図15は、リセット動作を行うときの画素内の各素子に接続された各信号線に与える信号のタイミングチャートである。

【0094】（1）で説明したように、パルス信号φVがMOSTランジスタT4のゲートに与えられて出力信号が出力されると、まず、信号φSの電圧をローレベルにしてMOSTランジスタT1をOFFにするとともに、信号φSWの電圧をローレベルにしてMOSTランジスタT5をOFFにする。このようにして、MOSTランジスタT2とフォトダイオードPDとの接続、及びMOSTランジスタT2のゲートとMOSTランジスタT3のゲートとの接続を遮断する。そして、信号φVRSの電圧をハイレベルにしてMOSTランジスタT6をONにすることによって、MOSTランジスタT2のゲートに直流電圧VRBを印加する。ここで信号φVPSの電圧をローレベルにすることによって、MOSTランジスタT2のソースから負の電荷がMOSTランジスタT2に流れ込み、MOSTランジスタT2のドレイン・ソース間に負の電荷が蓄積される。

【0095】次に、信号φVPSの電圧をハイレベル、即ち直流電圧VPDと同じ又は直流電圧VPDに近い電位にすることによって、MOSTランジスタT2のドレイン・ソース間に蓄積された負の電荷の一部を、信号線φVPSに流出する。しかしながら、MOSTランジスタT2のドレインのボテンシャルが、ゲート下領域のボテンシャルよりも高いので、MOSTランジスタT2のドレインに蓄積された負の電荷の一部がMOSTランジスタT2のドレインに残る。このMOSTランジスタT2のドレインに蓄積される負の電荷は、MOSTランジスタT2の閾値電圧によって定まり、この閾値電圧に比例した値になる。

【0096】このとき、MOSTランジスタT2のドレイン電圧は該ドレインに蓄積された負の電荷に対応した

電圧となり、このMOSTランジスタ2のドレイン電圧がMOSTランジスタ3のゲートに現れる。このMOSTランジスタ3のゲートに現れる電圧は、MOSTランジスタ2のドレインに蓄積された負の電荷に比例するので、MOSTランジスタ2の閾値電圧に比例することがわかる。MOSTランジスタ2、T3をこのような状態にすると、信号φVRS2をハイレベルにして、一旦、キャパシタC1及び接続ノードaの電位をリセットした後、再び、信号φVRS2をローレベルに戻す。

【0097】そして、MOSTランジスタ3のゲート電圧によって、MOSTランジスタ3に電流が流れ、リセットされたキャパシタC1に電荷が蓄積されるとともに接続ノードaの電位が上昇する。次に、信号φVをハイレベルにしてMOSTランジスタ4をONすることによって、接続ノードaの電圧がMOSTランジスタ7で電流増幅されて出力信号線6に導出される。このようにして画素毎に、そのMOSTランジスタ2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0098】さて、上述のように補正データを検出してMOSTランジスタ4をOFFした後、信号φVPSを中間レベルにしてMOSTランジスタ2をリセットするとともに、信号φVRSをローレベルに戻してMOSTランジスタ6をOFFにする。そして、信号φS及び信号φSWをハイレベルにして、MOSTランジスタ1、T5をONにした後、信号φVRS2をハイレベルにしてMOSTランジスタ8を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。このようにして次の撮像が行える状態になる。

【0099】<第6の実施形態>第6の実施形態について、図面を参照して説明する。図16は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0100】図16に示すように、本実施形態では、MOSTランジスタ3のドレインに信号φDを与えることによってキャパシタC1及び接続ノードaの電位を初期化するようにし、それによってMOSTランジスタ8を削除した構成となっている。その他の構成は第5の実施形態（図14）と同一である。尚、信号φDのハイレベル期間では、第1の実施形態（図2）と同様にキャパシタC1で積分が行われ、ローレベル期間では、キャパシタC1の電荷がMOSTランジスタ3を通して放電され、キャパシタC1の電圧及びMOSTランジスタ7のゲートは略信号φDのローレベル電圧になる（リセット）。本実施形態では、MOSTランジスタ8を

省略できる分、構成がシンプルになる。

【0101】この実施形態において、撮像動作をさせるときは、第5の実施形態と同様に、MOSTランジスタ1、T5をONにするとともに信号φVRSをローレベルにしてMOSTランジスタ6をOFFにすることによって、MOSTランジスタ2がサブスレッショルド状態で動作するようにする。又、信号φDをハイレベルにして、光電流の積分値を自然対数的に変換した値と同等の電荷をキャパシタC1に蓄積する。そして、所定のタイミングでMOSTランジスタ4をONにして、MOSTランジスタ7のゲートにかかる電圧に比例した電流をMOSTランジスタ4、T7を通して出力信号線6に導出する。

【0102】又、各画素をリセットするときは、第1の実施形態と同様、図3のタイミングで信号を制御する。即ち、まず、第1の実施形態と同様に、パルス信号φVが与えられた後、信号φS及び信号φSWをローレベルにしてMOSTランジスタ1、T5をOFFにして、リセット動作が始まる。次に、信号φVRSをハイレベルにして、MOSTランジスタ2のゲートに直流電圧VRSを印加する。そして、信号φVPSを一旦ローレベルにした後、信号φVPSをハイレベルにして、MOSTランジスタ2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSTランジスタ2の閾値電圧によって決まる。

【0103】このとき、一旦、信号φDをローレベルにしてキャパシタC1及び接続ノードaをリセットする。そして、キャパシタC1には、MOSTランジスタ2の閾値電圧に比例した電流がMOSTランジスタ3を通じて流入して、接続ノードaに現れる電圧がこの閾値電圧に比例した電圧になる。パルス信号φVをMOSTランジスタ4のゲートに与えて、接続ノードaに現れる電圧をMOSTランジスタ7で電流増幅した出力信号が出力される。このようにして画素毎に、そのMOSTランジスタ2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。

【0104】このように補正データを検出してMOSTランジスタ4をOFFした後、信号φVPSを中間レベルにしてMOSTランジスタ2をリセットした後に、信号φVRSをローレベルにしてMOSTランジスタ6をOFFにする。そして、信号φS及び信号φSWをハイレベルにして、MOSTランジスタ1、T5をONにした後、信号φDをローレベルにしてMOSTランジスタ3を通してキャパシタC1に蓄積された電荷を放電することによって、キャパシタC1及び接続ノードaの電位が初期化される。

【0105】<第7の実施形態>第7の実施形態について、図面を参照して説明する。図17は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回

路図である。尚、図16に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0106】図17に示すように、本実施形態では、MOSTランジスタ3のドレインに直流電圧VDDが印加されるとともに、キャパシタC1及びMOSTランジスタ7を削除した構成となっている。即ち、MOSTランジスタ3のソースにMOSTランジスタ4のドレインが接続される。その他の構成は第6の実施形態(図16)と同一である。

【0107】このような構成の回路において、撮像動作をさせるときは、第6の実施形態と同様に、MOSTランジスタT1、T5をONにするとともに信号φVRSをローレベルにしてMOSTランジスタT6をOFFにして、MOSTランジスタT2がサブスレッショルド状態で動作するようにする。このようにMOSTランジスタT2を動作させることによって、前記光電流に対して自然対数的に比例した値のドレイン電流がMOSTランジスタT3を流れる。

【0108】そして、MOSTランジスタT4のゲートにパルス信号φVを6えてONすると、前記光電流に対して自然対数的に比例した値のドレイン電流が、MOSTランジスタT4を通して出力信号線6に導出される。このとき、MOSTランジスタT3及びMOSTランジスタQ1(図13)の導通時抵抗とそれらを流れる電流によって決まるMOSTランジスタQ1のドレイン電圧が、信号として出力信号線6に現れる。このようにして信号が読み出された後、MOSTランジスタT4をOFFにする。

【0109】又、各画素をリセットする際には、図18のタイミングチャートのように動作させる。まず、パルス信号φVが与えられた後、信号φS及び信号φSWをローレベルにしてMOSTランジスタT1、T5をOFFにして、リセット動作が始まる。次に、信号φVRSをハイレベルにして、MOSTランジスタT2のゲートに直流電圧VDDを印加する。そして、信号φVPSを一旦ローレベルにした後、信号φVPSをハイレベルにして、MOSTランジスタT2のドレインに負の電荷が蓄積される。この負の電荷量は、MOSTランジスタ2の閾値電圧によって決まる。

【0110】このとき、パルス信号φVをMOSTランジスタT4のゲートに与えて、画素毎に、そのMOSTランジスタT2の閾値電圧に比例した電流が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSTランジスタT4をOFFした後、信号φVPSを中間レベルにしてMOSTランジスタT2をリセットした後に、信号φVRSをローレベルにしてMOSTランジスタT6をOFFにする。しかる後、信号φS及び信号φSWをハイレベルにして、MOST

ランジスタT1、T5をONにして、撮像動作を行うための構成にする。

【0111】尚、本実施形態では上記第6の実施形態のように、光信号をキャパシタC1で一旦積分するというを行わないので、積分時間が不要となり、又、キャパシタC1のリセットも不要であるので、その分信号処理の高速化が図れる。又、本実施形態では、第6の実施形態に比し、キャパシタC1及びMOSTランジスタT7を省略できる分、構成が更にシンプルになり画素サイズを小さくすることができる。

【0112】<第8の実施形態>第8の実施形態について、図面を参照して説明する。図19は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図5及び図17に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0113】図19に示すように、本実施形態では、第7の実施形態(図17)に示す画素に、MOSTランジスタT6に代えてキャパシタC2を用いた回路構成となっている。即ち、キャパシタC2は、その一端がMOSTランジスタT2のゲートとMOSTランジスタT5のソースとの接続ノードに接続されるとともに、他端に信号φVRSが印加される。尚、第2の実施形態(図5)と同様に、信号φVRSは2値の電圧信号で、グラントレベルをローレベルとし、又、このローレベルより高い電圧をハイレベルとする。

【0114】このように、本実施形態の構成と第2の実施形態の構成との関係は、第7の実施形態の構成と第1の実施形態(図2)の構成との関係とに対応する。よって、第2の実施形態と同様に、キャパシタC2に与える信号φVRSをローレベルとするともに、MOSTランジスタT1、T5をONにすることによって、MOSTランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードAに現れる。そして、MOSTランジスタT2をONにすることによって、対数変換された出力信号を出力する。又、リセット動作は、第7の実施形態と同様、図18のタイミングチャートで示すタイミングで各信号の値を変化させることによって、各画素の感度のバラツキを補正データとして検出することができる。

【0115】尚、第5～第8の実施形態の回路構成をした画素によると、各画素が撮像動作を行ったのち、各画素の感度のバラツキの原因となるMOSTランジスタの閾値電圧に比例した信号を各画素からの出力を補正するための補正データとして検出することができる。更に言えば、予め、後続回路においてメモリに、撮像時出力された補正データを画素毎に記憶するとともに、各画素内のMOSTランジスタの閾値電圧に比例した電流を図12の信号線9から画素毎にシリアルに出力して、後続

回路における別のメモリに画素毎の補正データとして記憶しておく。そして、この画像データを補正データで画素毎に補正すれば、出力信号から画素のパラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0116】<第9の実施形態>第9の実施形態について、図面を参照して説明する。図20は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図6及び図19に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0117】図20に示すように、第8の実施形態(図19)の画素から、MOSトランジスタT5を削除した回路構成となっている。即ち、MOSトランジスタT2、T3のゲートが接続され、又、MOSトランジスタT2のソースには直流電圧VPSが印加される。

【0118】このように、本実施形態の構成と第3の実施形態(図6)の構成との関係は、第8の実施形態の構成と第2の実施形態(図5)の構成との関係に対応する。よって、第3の実施形態と同様に、キャパシタC2に与える信号φVRSをローレベルとするとともに、MOSトランジスタT1をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。

【0119】又、各画素をリセットする際には、図21のタイミングチャートのように動作させる。まず、パルス信号φVが与えられた後、信号φSをローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、信号φVRSをハイレベルにして、MOSトランジスタT2のゲート電圧を高くすることによって、MOSトランジスタT2のソースから流入する電荷の量を増加させる。

【0120】このようにして、MOSトランジスタT2のゲート及びドレイン、MOSトランジスタT3のゲート、そしてキャパシタC2に蓄積された正の電荷が速やかに再結合される。そして、信号φVRSをローレベルにしてMOSトランジスタT2のポテンシャルを基の初期状態にリセットする。このとき、パルス信号φVをMOSトランジスタT4のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号φSをハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

【0121】<第10の実施形態>第10の実施形態について、図面を参照して説明する。図22は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図9及び図20に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0122】図22に示すように、第9の実施形態(図20)の画素から、キャパシタC2を削除した回路構成となっている。又、MOSトランジスタT2のソースには信号φVPSが入力される。尚、信号φVPSは、第4の実施形態(図9)と同様に、2値の電圧信号で、直流電圧VPSと略等しい電圧でMOSトランジスタT2をサブスレッショルド領域で動作させるための電圧をハイレベルとし、又、この電圧よりも低くMOSトランジスタT2にハイレベルの電圧を与えたときよりも大きい電流が流れ得るようにする電圧をローレベルとする。

【0123】このように、本実施形態の構成と第4の実施形態の構成との関係は、第9の実施形態の構成と第3の実施形態(図6)の構成との関係に対応する。よって、第4の実施形態と同様に、MOSトランジスタT2のソースに与える信号φVPSをハイレベルとするとともに、MOSトランジスタT1をONにすることによって、MOSトランジスタT2をサブスレッショルド領域で動作させる。よって、フォトダイオードPDから流れる光電流を対数変換した電圧が接続ノードaに現れる。そして、MOSトランジスタT4をONにすることによって、対数変換された出力信号を出力する。

【0124】又、各画素をリセットする際には、図23のタイミングチャートのように動作させる。まず、パルス信号φVが与えられた後、信号φSをローレベルにしてMOSトランジスタT1をOFFにして、リセット動作が始まる。次に、信号φVPSをローレベルにして、MOSトランジスタT2のソース電圧を低くすることによって、MOSトランジスタT2のソースから流入する電荷の量を増加させる。

【0125】このようにして、MOSトランジスタT2のゲート及びドレイン、そしてMOSトランジスタT3のゲートに蓄積された正の電荷が速やかに再結合される。そして、信号φVPSをハイレベルにしてMOSトランジスタT2のポテンシャルを基の初期状態にリセットする。このとき、パルス信号φVをMOSトランジスタT4のゲートに与えて、画素毎に、このリセット時の出力電圧が出力信号線6に導出されて、各画素からの出力を補正するための補正データとして検出することができる。このように補正データを検出してMOSトランジスタT4をOFFした後、信号φSをハイレベルにして、MOSトランジスタT1をONにして、次の撮像動作に備える。

【0126】尚、第9、第10の実施形態において、第5〜第8の実施形態と同様に、このリセット時に読み出

した出力信号が、図12の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎の補正データとして記憶しておく。そして、実際の撮像時の出力電流を前記記憶されている補正データで画素毎に補正すれば、出力信号から画素のバツクによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0127】又、第8〜第10の実施形態(図19、図20、図22)において、第5の実施形態(図14)のように、MOSトランジスタ3のソースに他端に直流電圧VPSが印加されたキャパシタC1やMOSトランジスタ7のゲート、そして、キャパシタC1をリセットするためのMOSトランジスタ8のドレインを接続するとともに、MOSトランジスタ7のソースをMOSトランジスタ4のドレインに接続するような構成にしても良い。又、第6の実施形態(図16)のように、MOSトランジスタ3のドレインに信号φDを与えるようにして、上述した第5の実施形態(図14)のような構成からMOSトランジスタ8を削除した構成にしても良い。

【0128】<ディプレッション型MOSトランジスタを組み合わせた構成の画素> 第1〜第10の実施形態(図2、図5、図6、図9、図14、図16、図17、図19、図20、図22)において、第1MOSトランジスタ1をディプレッション型のNチャネルのMOSトランジスタとしても構わない。この画素の構成を、第7〜10の実施形態(図17、図19、図20、図22)の画素を例にして、図24〜図27に示す。図24〜図27に示すように、MOSトランジスタ1以外のMOSトランジスタ2〜6は、エンハンスメント型のNチャネルのMOSトランジスタである。

【0129】図17、図19、図20、図22の構成の画素のように、画素内に設けられたMOSトランジスタを全てエンハンスメント型のMOSトランジスタで構成したとき、MOSトランジスタ1、2が直列に接続されるため、MOSトランジスタ1のゲートに与える信号φSのハイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSトランジスタ1に信号φSを与えるための別の電源を設ける必要がある。

【0130】それに対して、上述したように、このMOSトランジスタ1をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号φSのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エンハンスメント型のMOSトランジスタと比べて、低いゲ

ート電圧でONすることができるからである。

【0131】<PチャネルMOSトランジスタを組み合わせた構成の画素>更に、第1〜第10の実施形態において、第1MOSトランジスタ1をPチャネルのMOSトランジスタとしても構わない。この画素の構成を、第7〜第10の実施形態の画素を例にして、図28〜図31に示す。図28〜図31に示すように、MOSトランジスタ1以外のMOSトランジスタ2〜6は、NチャネルのMOSトランジスタである。又、MOSトランジスタ1のソースがフォトダイオードPDのアノードと接続されるとともに、ドレインがMOSトランジスタ2のドレインに接続される。

【0132】このような構成にしたとき、MOSトランジスタ1は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSトランジスタ1のゲートに与える信号φSが、第1〜第10の実施形態の信号φSとそのタイミングが逆転するとともに、MOSトランジスタ1のドレインに直列に接続されたMOSトランジスタ2の影響を受けることなく、ON/OFF動作を行うことができる。

【0133】又、MOSトランジスタ1のON/OFF動作が、MOSトランジスタ2の影響を受けることがないので、信号φSを供給するための電源を設ける必要がなくなる。更に、このようにすることによって、MOSトランジスタ1を、他のMOSトランジスタと同様にエンハンスメント型のMOSトランジスタとすることができるので、他のMOSトランジスタと同一の工程でMOSトランジスタ1を生成することが可能である。よって、上述したように、第1MOSトランジスタ1のみをディプレッション型のMOSトランジスタとするとときと比べて、その生産工程が簡素化される。

【0134】<第11の実施形態>第11の実施形態について、図面を参照して説明する。図55は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図14に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付し、その詳細な説明は省略する。

【0135】図55に示すように、本実施形態では、画素の出力側を構成するMOSトランジスタ3、4、7、8及びキャパシタC1が、図14の画素と同様の構成をしている。このような図55の画素において、フォトダイオードPDのアノードに直流電圧VPSが印加され、MOSトランジスタ2のドレインに信号φVPが与えられるとともにそのソースがMOSトランジスタ3のゲートに接続される。又、MOSトランジスタ2のソースにドレインが接続されるとともにフォトダイオードPDのカソードにソースが接続された第1MOSトランジスタ1が設けられる。更に、MOSトランジスタ2のゲートには信号φVPが与えられ、MOSト

ランジスタT1のゲートには信号φSが与えられる。

【0136】(1) 光電流を自然対数的に変換して出力する場合。

このとき、MOSTランジスタT2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSTランジスタT2の閾値のパラツキを検出するために、直流電圧VPSに略等しい値となる電圧を第2電圧とする。

【0137】(1-a) 撮像動作

信号φVPDを第1電圧として、MOSTランジスタT2をサブスレッショルド領域で動作させるとともに、MOSTランジスタT1のゲートに与えられる信号φSをハイレベルにし、MOSTランジスタT1をONの状態にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSTランジスタT2のソース及びMOSTランジスタT3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSTランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSTランジスタT2のソース電圧が低くなる。

【0138】このようにして光電流に対して自然対数的に変化した電圧がMOSTランジスタT3のゲートに現れると、まず、MOSTランジスタT8のゲートにハイレベルの信号φVRS2を与えてMOSTランジスタT8をONにして、キャパシタC1及び接続ノードaの電圧をリセットする。このとき、接続ノードaの電圧をMOSTランジスタT3が動作できるようにMOSTランジスタT3のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号φVRS2をローレベルにしてMOSTランジスタT8をOFFにした後、信号φVをハイレベルにしてMOSTランジスタT4をONにする。

【0139】このとき、接続ノードaの電圧がMOSTランジスタT8によってリセットされることで、MOSTランジスタT3が動作を行い、MOSTランジスタT3のゲート電圧によって決定される表面ポテンシャルをサンプルした電圧がMOSTランジスタT7のゲートに与えられる。よって、MOSTランジスタT7のゲート電圧が入射光量を対数変換した値に比例した値となるため、MOSTランジスタT4をONにしたとき、前記光電流を自然対数的に変換した値となる電流又は電圧が、MOSTランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量に対数値に比例した信号(出力電流)を読み出すと、MOSTランジスタT4をOFFにする。

【0140】(1-b) 感度のパラツキ検出

各画素の感度のパラツキを検出するとき、各信号のタイミングチャートを図56に示す。上記のように、パル

ス信号φVRS2がMOSTランジスタT8に与えられて接続ノードaの電圧がリセットされた後、パルス信号φVがMOSTランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号φSをローレベルにして、MOSTランジスタT1をOFFにする。そして、信号φVPDを第2電圧にして、MOSTランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0141】次に、信号φVPDを第1電圧に戻すと、この蓄積された負の電荷が信号φVPDの信号線に流れ出して、MOSTランジスタT2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSTランジスタT2のソースに負の電荷が蓄積されると、MOSTランジスタT8のゲートにパルス信号φVRS2を与えて、接続ノードaの電圧をリセットした後、MOSTランジスタT4のゲートにパルス信号φVを与えて出力信号を読み出す。

【0142】このとき、読み出された出力信号は、MOSTランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のパラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号φSをハイレベルにしてMOSTランジスタT1をONにする。このように検出した感度のパラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のパラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

【0143】(2) 光電流を線形的に変換して出力する場合。

このとき、信号φVPDの電圧は、MOSTランジスタT3の動作点となる電圧である第3電圧とする(MOSTランジスタT3が正しく動作するように回路構成が最適化されていれば、信号φVPDの電圧を先の第1電圧とすることも可能である)。又、このとき、信号φSは常にハイレベルで、信号φSがゲートに与えられるMOSTランジスタT1は、常にON状態である。このようにすることによって、MOSTランジスタT2のゲート電圧が図54のリセット用のMOSTランジスタT2に、MOSTランジスタT3が図54の信号増幅用のMOSTランジスタT1に相当した構成になる。

【0144】(2-a) 撮像動作

まず、信号φVPGをローレベルにして、リセット用のMOSTランジスタT2をOFFの状態にする。このように、リセット用のMOSTランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSTランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSTランジスタT3のゲートに与えられ、MOSTラン

ジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

【0145】このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、まず、MOSトランジスタT8のゲートにハイレベルの信号 $\phi$ VRS2を与えてMOSトランジスタT8をONにして、キャパシタC1及び接続ノードaの電圧をリセットする。このとき、接続ノードaの電圧をMOSトランジスタT3が動作できるようにMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより低い電圧になるようにリセットする。次に、信号 $\phi$ VRS2をローレベルにしてMOSトランジスタT8をOFFにした後、信号 $\phi$ VをハイレベルにしてMOSトランジスタT4をONにする。

【0146】このとき、接続ノードaの電圧がMOSトランジスタT8によってリセットされることで、MOSトランジスタT3が動作を行い、MOSトランジスタT3のゲート電圧によって決定される表面ポテンシャルをサンプリングした電圧がMOSトランジスタT7のゲートに与えられる。よって、MOSトランジスタT7のゲート電圧が入射光量を線形的に値に比例した値となるため、MOSトランジスタT4をONにしたとき、前記光電流を線形的に変換した値となる電流が、MOSトランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量の値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0147】（2-a）リセット動作  
各画素のリセットを行うときの、各信号のタイミングチャートを図57に示す。上記のように、パルス信号 $\phi$ VRS2がMOSトランジスタT8に与えられて接続ノードaの電圧がリセットされた後、パルス信号 $\phi$ VがMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi$ VPGをハイレベルにして、MOSトランジスタT2をONにする。このようにMOSトランジスタT2がONになると、MOSトランジスタT3のゲートに第3電圧が与えられ、MOSトランジスタT3のゲート電圧がリセットされる。そして、信号 $\phi$ VPGを再びローレベルにして、MOSトランジスタT2をOFFにする。

【0148】次に、MOSトランジスタT8のゲートにパルス信号 $\phi$ VRS2を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号 $\phi$ Vを与えて出力信号を読み出す。このとき、出力信号は、MOSトランジスタT3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。

【0149】このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のパラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。尚、第6の実施形態（図16）のように、MOSトランジスタT3のドレインにパルス信号（例えば、 $\phi$ VPP'）を与えるような構造にして、この信号 $\phi$ VPP'によってMOSトランジスタT3によって、接続ノードaの電圧をリセットできるようにすることで、図55の構成の画素からMOSトランジスタT8を省略した構成にしても構わない。

【0150】<第12の実施形態>第12の実施形態について、図面を参照して説明する。図58は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図55に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0151】図58に示すように、本実施形態では、図55の画素におけるMOSトランジスタT3、T8をPチャネルのMOSトランジスタとし、MOSトランジスタT3のドレインに直流電圧VPSが印加されるとともに、このMOSトランジスタT3のソースに一端が接続されたキャパシタC1の他端に直流電圧VPPが印加される。又、MOSトランジスタT8のドレインに直流電圧VRB2が印加され、そのソースにMOSトランジスタT7のゲートが接続される。その他の構成については、図55の画素の構成と同様である。尚、MOSトランジスタT8のソースに印加される直流電圧VRB2は、VPSよりも高い電圧である。

【0152】（1）光電流を自然対数的に変換して出力する場合。

このとき、第11の実施形態と同様に、MOSトランジスタT2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSトランジスタT2の閾値のパラツキを検出するために、直流電圧VPSに略等しい値となる電圧を第2電圧とする。

【0153】（1-a）撮像動作

信号 $\phi$ VPPを第1電圧として、MOSトランジスタT2をサブスレッショルド領域で動作させるとともに、MOSトランジスタT1のゲートに与えられる信号 $\phi$ Sをハイレベルにし、MOSトランジスタT1をONの状態にする。尚、キャパシタC1及び接続ノードaの電圧が、MOSトランジスタT8によってリセットされているものとする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSトランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSトランジスタT2のソース及びMOSトランジスタT3のゲートに発生する。尚、このとき、

フォトダイオードPDで発生した負の光電荷がMOSトランジスタT2のソースに流れ込むため、強い光が入射されるほどMOSトランジスタT2のソース電圧が低くなる。

【0154】このようにして光電流に対して自然対数的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC1から正の電荷がMOSトランジスタT3を介して流れる。このとき、MOSトランジスタT3のゲート電圧によって、キャパシタC1から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT2のソース電圧が低くなるときほど、キャパシタC1から流れる正の電荷量が多い。

【0155】このようにしてキャパシタC1から正の電荷が流れ、接続ノードaの電圧が入射光量の積分値を対数変換した値に比例した値となる。そして、パルス信号φVを与えてMOSトランジスタT4をONにしたとき、前記光電流の積分値を自然対数的に変換した値となる電圧が、MOSトランジスタT7、T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSトランジスタT4をOFFにする。

【0156】（1-b）感度のバラツキ検出  
各画素の感度のバラツキを検出するとき、各信号のタイミングチャートを図59に示す。上記のように、パルス信号φVがMOSトランジスタT4のゲートに与えられて、出力信号が読み出されると、第11の実施形態（図56）と同様に、まず、信号φSをローレベルにして、MOSトランジスタT1をOFFにする。そして、信号φVPDを第2電圧にして、MOSトランジスタT2のドレイン・ソース間に負の電荷を蓄積させる。

【0157】次に、信号φVPDを第1電圧に戻すと、この蓄積された負の電荷が信号φVPDの信号線に流れ出して、MOSトランジスタT4のゲートに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSトランジスタT4のゲートに負の電荷が蓄積されると、MOSトランジスタT8のゲートにパルス信号φVRS2を与えて、接続ノードaの電圧をリセットした後、MOSトランジスタT4のゲートにパルス信号φVを与えて出力信号を読み出す。尚、MOSトランジスタT8のゲートに与えるパルス信号φVRS2は、ローレベルのパルス信号である。

【0158】このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号φSをハイレベルにしてMOSトランジスタT1を

Nにした後、MOSトランジスタT8のゲートにパルス信号φVRS2を与えて接続ノードaの電圧をリセットする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

10 【0159】（2）光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号φVPDの電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする。又、このとき、信号φSは常にハイレベルで、信号φSがゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のリセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

【0160】（2-a）撮像動作

まず、第11の実施形態と同様に、信号φVPGをローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。尚、キャパシタC1及び接続ノードaの電圧が、MOSトランジスタT8によってリセットされているものとする。このように、リセット用のMOSトランジスタT2をOFFにする、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

【0161】このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、接続ノードaがリセットされてMOSトランジスタT3のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC1から正の電荷がMOSトランジスタT3を介して流れる。このとき、MOSトランジスタT3のゲート電圧によって、キャパシタC1から流れる正の電荷量が決定される。即ち、強い光が入射されてMOSトランジスタT3のゲート電圧が低くなるときほど、キャパシタC1から流れる正の電荷量が多い。

【0162】このようにしてキャパシタC1から正の電荷が流れ、接続ノードaの電圧が入射光量の積分値に比例した値となる。そして、パルス信号φVを与えてMO



Sトランジスタ4をONにしたとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSTランジスタ7、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号（出力電流）を読み出すと、MOSTランジスタ4をOFFにする。

#### 【0163】（2-b）リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図60に示す。上記のように、パルス信号 $\phi V$ がMOSTランジスタ4のゲートに与えられて、出力信号が読み出されると、まず、信号 $\phi VP6$ をハイレベルにして、MOSTランジスタ2をONにする。このようにMOSTランジスタ2がONになると、MOSTランジスタ3のゲートに第3電圧が与えられ、MOSTランジスタ3のゲート電圧がリセットされる。そして、信号 $\phi VP6$ を再びローレベルにして、MOSTランジスタ2をOFFにする。

【0164】次に、MOSTランジスタ8のゲートにパルス信号 $\phi VRS2$ を与えて、接続ノードaの電圧をリセットした後、MOSTランジスタ4のゲートにパルス信号 $\phi V$ を与えて出力信号を読み出す。このとき、出力信号は、MOSTランジスタ3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、もう一度MOSTランジスタ8のゲートにパルス信号 $\phi VRS2$ を与えて、接続ノードaの電圧をリセットした後、再び上記した撮像動作が行われる。尚、パルス信号 $\phi VRS2$ は、ローレベルのパルス信号である。

【0165】このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のパラッキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。尚、第6の実施形態（図16）のように、MOSTランジスタ3のドレインにパルス信号（例えば、 $\phi VPS$ ）を与えるような構造にして、この信号 $\phi VPS$ によってMOSTランジスタ3によって、接続ノードaの電圧をリセットできるようにすることで、図58の構成の画素からMOSTランジスタ8を省略した構成にしても構わない。尚、この場合は、MOSTランジスタ3のドレインに与えられるパルス信号 $\phi VPS$ を、フォトダイオードPDのアノードに印加する直流電圧VPSとは異なる電源線から供給するようにする。

【0166】<第13の実施形態>第13の実施形態について、図面を参照して説明する。図61は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図55に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付し、その詳細な説明は省略する。

【0167】図61に示すように、本実施形態では、MOSTランジスタ3のドレインに直流電圧VPDが印加されるとともに、キャパシタC1及びMOSTランジスタ7、T8を削除した構成となっている。その他の構成は、第11の実施形態（図55）と同一である。

【0168】（1） 光電流を自然対数的に変換して出力する場合。

このとき、第11の実施形態と同様に、MOSTランジスタ2をサブスレッショルド領域で動作させるための電圧を第1電圧とし、MOSTランジスタ2の閾値のパラッキを検出するために、直流電圧VPSに略等しい値となる電圧を第2電圧とする。

#### 【0169】（1-a）撮像動作

信号 $\phi VPD$ を第1電圧として、MOSTランジスタ2をサブスレッショルド領域で動作させるとともに、MOSTランジスタ1のゲートに与えられる信号 $\phi S$ をハイレベルにし、MOSTランジスタ1をONの状態にする。このとき、フォトダイオードPDに光が入射すると光電流が発生し、MOSTランジスタのサブスレッショルド特性により、光電流を自然対数的に変換した値の電圧がMOSTランジスタ2のソース及びMOSTランジスタ3のゲートに発生する。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSTランジスタ2のソースに流れ込むため、強い光が入射されるほどMOSTランジスタ2のソース電圧が低くなる。

【0170】このようにして光電流に対して自然対数的に変化した電圧がMOSTランジスタ3のゲートに現れると、パルス信号 $\phi V$ が与えられてMOSTランジスタ4をONとして、前記光電流を自然対数的に変換した値となる電流が、MOSTランジスタ3、T4を介して出力信号線6に導出される。このようにして入射光量の対数値に比例した信号（出力電流）を読み出すと、MOSTランジスタ4をOFFにする。

#### 【0171】（1-b）感度のパラッキ検出

各画素の感度のパラッキを検出するときの、各信号のタイミングチャートを図62に示す。上記のように、パルス信号 $\phi V$ がMOSTランジスタ4のゲートに与えられて、出力信号が読み出されると、第11の実施形態（図56）と同様に、まず、信号 $\phi S$ をローレベルにして、MOSTランジスタ1をOFFにする。そして、信号 $\phi VPD$ を第2電圧にして、MOSTランジスタ2のドレイン・ソース間に負の電荷を蓄積させる。

【0172】次に、信号 $\phi VPD$ を第1電圧に戻すと、この蓄積された負の電荷が信号 $\phi VPD$ の信号線に流れ出して、MOSTランジスタ2のソースに負の電荷が蓄積された状態になる。この負の電荷の蓄積量は、ゲート・ソース間の閾値電圧によって決まる。このように、MOSTランジスタ2のソースに負の電荷が蓄積されると、MOSTランジスタ4のゲートにパルス信号 $\phi V$

を与えて出力信号を読み出す。

【0173】このとき、読み出された出力信号は、MOSトランジスタT2の閾値電圧に応じた値となるため、これにより、各画素の感度のバラツキを検出することができる。そして、最後に、撮像動作が行えるように、信号φSをハイレベルにしてMOSトランジスタT1をONにする。このように検出した感度のバラツキ検出を行って得られる信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0174】(2)光電流を線形的に変換して出力する場合。

このとき、第11の実施形態と同様に、信号φVPDの電圧は、MOSトランジスタT3の動作点となる電圧である第3電圧とする。又、このとき、信号φSは常にハイレベルで、信号φSがゲートに与えられるMOSトランジスタT1は、常にON状態である。このようにすることによって、MOSトランジスタT2が図54のリセット用のMOSトランジスタT2に、MOSトランジスタT3が図54の信号増幅用のMOSトランジスタT1に相当した構成になる。

【0175】(2-a)撮像動作

まず、第11の実施形態と同様に、信号φVPGをローレベルにして、リセット用のMOSトランジスタT2をOFFの状態にする。このように、リセット用のMOSトランジスタT2をOFFにすると、フォトダイオードPDに光電流が流れることによって、MOSトランジスタT3のゲート電圧が変化する。即ち、フォトダイオードPDより負の光電荷がMOSトランジスタT3のゲートに与えられ、MOSトランジスタT3のゲート電圧が、光電流に対して線形的に変化した値になる。尚、このとき、フォトダイオードPDで発生した負の光電荷がMOSトランジスタT3のゲートに流れ込むため、強い光が入射されるほどMOSトランジスタT3のゲート電圧が低くなる。

【0176】このようにして光電流に対して線形的に変化した電圧がMOSトランジスタT3のゲートに現れると、パルス信号φVが与えられてMOSトランジスタT4をONにする。このとき、前記光電流の積分値を線形的に変換した値となる電流が、MOSトランジスタT3、T4を介して出力信号線6に導出される。このようにして入射光量の積分値に比例した信号(出力電流)を読み出すと、MOSトランジスタT4をOFFにする。

【0177】(2-b)リセット動作

各画素のリセットを行うときの、各信号のタイミングチャートを図63に示す。上記のように、パルス信号φVがMOSトランジスタT4のゲートに与えられて、出力

信号が読み出されると、まず、信号φVPGをハイレベルにして、MOSトランジスタT2をONにする。このようにMOSトランジスタT2がONになると、MOSトランジスタT3のゲートに第3電圧が与えられ、MOSトランジスタT3のゲート電圧がリセットされる。そして、信号φVPGを再びローレベルにして、MOSトランジスタT2をOFFにする。

【0178】次に、MOSトランジスタT4のゲートにパルス信号φVを与えて出力信号を読み出す。このとき、出力信号は、MOSトランジスタT3のゲート電圧に応じた値となり、初期化されたときの出力信号として読み出される。そして、出力信号が読み出されると、再び上記した撮像動作が行われる。このように初期化されたときの信号を補正データとしてラインメモリなどのメモリに記憶し、各画素毎に、実際の撮像時の出力信号をこの補正データを用いて補正することによって、出力信号から画素のバラツキによる成分を取り除くことができる。この補正方法の具体例は後述する図53に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0179】以上説明した実施形態において、各画素からの信号読み出しは電荷結合素子(CCD)を用いて行うようにしてもかまわない。この場合、MOSトランジスタT4に相当するポテンシアルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。

【0180】以上説明した第1〜第11及び第13の実施形態は、画素内の能動素子であるMOSトランジスタT1〜T8を全てNチャネルのMOSトランジスタで構成しているが、これらのMOSトランジスタT1〜T8を全てPチャネルのMOSトランジスタで構成してもよい。又、第12の実施形態において、画素内のNチャネルのMOSトランジスタをPチャネルのMOSトランジスタに、PチャネルのMOSトランジスタをNチャネルのMOSトランジスタに変えて構成しても構わない。

【0181】図33〜図36及び図39〜図44には、上記第1〜第10の実施形態をPチャネルのMOSトランジスタで構成した例である第14〜第23の実施形態を示している。又、図64〜図66には、上記第11〜第13の実施形態の画素のMOSトランジスタを逆極性のMOSトランジスタで構成した例である第24〜第26の実施形態を示している。又、図45〜図48は、第20〜第23の実施形態において、第1MOSトランジスタT1をディプレッション型PチャネルのMOSトランジスタとしたものである。更に、図49〜図52は、第20〜第23の実施形態において、第1MOSトランジスタT1をNチャネルのMOSトランジスタとしたものである。そのため図32〜図52及び図64〜図66では接続の極性や印加電圧の極性が逆になっている。例えば、図33(第14の実施形態)において、P

オートダイオードPDはアノードに直流電圧VPDに接続され、カソードが第1MOSTランジスタT1のドレインに接続され、また、MOSTランジスタT1のソースが第2MOSTランジスタT2のドレイン及び第3MOSTランジスタT3のゲートに接続されている。MOSTランジスタT2のソースには信号φVPSが与えられる。

【0182】ところで、図33のような素素が対数変換を行うとき、直流電圧VPSと直流電圧VPDは、 $VPS > VPD$  となっており、図2（第1の実施形態）と逆である。また、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって降下する。また、第1MOSTランジスタT1や第4MOSTランジスタT4や第5MOSTランジスタT5や第6MOSTランジスタT6をONさせるときには、低い電圧をゲートに印加する。更に、図34～図36、図39～図52の実施形態（第15～第24の実施形態）において、第8MOSTランジスタT8ときには、低い電圧をゲートに印加する。又、図49～図52に示す構成の画素において、NチャネルのMOSTランジスタとなる第1MOSTランジスタT1をONさせるときには、高い電圧をゲートに印加する。更に、図65の実施形態（第25の実施形態）において、第4MOSTランジスタT4をONさせるときには低い電圧をゲートに印加し、そして、第8MOSTランジスタT8をONさせるときには高い電圧をゲートに印加する。以上の通り、逆版性のMOSTランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一であるので、図33～図36、図39～図52、及び図64～図66については図面で示すのみで、その構成や動作についての説明は図面を省略する。

【0183】第14～第17の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図32に示し、第18～第26の実施形態の画素を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図37に示している。図32及び図37については、図1及び図12と同一部分（同一の役割部分）に同一の符号を付して説明を省略する。以下、図37の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、・・・、6-mに対してPチャネルのMOSTランジスタQ1とPチャネルのMOSTランジスタQ2が接続されている。MOSTランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VP<sub>S</sub>'のライン8に接続されている。

【0184】一方、MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSTランジスタQ1は画素内のPチャネルのMOSTランジスタT aと共に図38（a）に示すような増幅回路を構成している。尚、MOSTラン

ジスタT aは、第18、第19、第24及び第25の実施形態では第7MOSTランジスタT7に相当し、また、第20～第23及び第26の実施形態では第3MOSTランジスタT3に相当する。

【0185】この場合、MOSTランジスタQ1はMOSTランジスタT aの負荷抵抗又は定電流源となっている。従って、このMOSTランジスタQ1のソースに接続される直流電圧VP<sub>S</sub>'と、MOSTランジスタT aのドレインに接続される直流電圧VPD'との関係は、 $VPD' < VPS'$  であり、直流電圧VPD'は例えばグラウンド電圧（接地）である。MOSTランジスタQ1のドレインはMOSTランジスタT aに接続され、ゲートには直流電圧が印加されている。PチャネルのMOSTランジスタQ2は水平走査回路3によって制御され、増幅回路の出力を最終的な信号線9へ導出する。第18～第26の実施形態のように、画素内に設けられた第4MOSTランジスタT4を考慮すると、図38（a）の回路は図38（b）のように表わされる。

【0186】＜画像データの補正方法＞上述した第1～第26の実施形態のような回路構成の画素が設けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0187】図53に示す画像入力装置は、対物レンズ51と、該対物レンズ51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の電気信号（以下、「画像データ」と呼ぶ。）が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52の電気信号（以下、「補正データ」と呼ぶ。）が入力されて一時記憶されるためのメモリ54と、メモリ53から送出される画像データからメモリ54から記憶される補正データを補正演算する補正演算回路55と、補正演算回路55で補正データにより補正の施された画像データを演算処理して外部に出力する処理部56とを有する。尚、固体撮像装置52は、第1～第26の実施形態のような回路構成の画素が設けられた固体撮像装置である。

【0188】このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置52から各画素毎に画像データがメモリ53に出力される。そして、各画素が撮像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画素の感度のバラツキを調べて、補正データをメモリ54に出力する。そして、メモリ53内の各画素の画像データとメモリ54内の各画素の補正データを、補正演算回路55にこの画像データを各画素毎に送出する。

【0189】補正演算回路55では、メモリ53から送出された画像データからこの画像データを出力した同一画素のメモリ54から送出された補正データが各画素毎に補正演算される。この補正データが補正演算された画像データが処理部56に送出されて、演算処理された

後、外部に出力される。又、このような画像入力装置において、メモリ 53、54 は、それぞれ、固体撮像装置 52 からライン毎に送出されるデータが記録されるランメモリなどが用いられる。従って、メモリ 53、54 を固体撮像装置内に組み込むことも容易である。

【0190】尚、他の実施形態においては、リセットを行うことによって、ほぼ各画素の感度のバラツキがキャンセルされるが、これをより正確に行うために図 53 で説明したようなメモリや補正演算回路などを含む補正回路を設けるようにしても構わない。

#### 【0191】

【発明の効果】以上説明したように、本発明の請求項 1、請求項 2、請求項 8、請求項 9、請求項 16、請求項 17 に記載の固体撮像装置によれば、感光素子とこれに第 1 電極が電気的に接続される第 1 のトランジスタとの間にスイッチ手段を設け、このスイッチ手段を OFF するとともに前記第 1 のトランジスタに、撮像時よりも大きい電流が流れ得るようにしてリセットを行うようにした。従って、感光素子に入射する光がリセット動作に影響を与えることが防止され、リセット動作が正確に行えるようになる。又、リセットによって各画素が同じ初期状態となり、各画素の感度バラツキを抑制することができる。

【0192】又、請求項 3、請求項 10、請求項 14、請求項 15、請求項 25 に記載するように、光電変換素子と第 1 トランジスタとの間及び第 1 トランジスタの制御電極と第 1 電極との間に設けられた 2 つのスイッチ、或いは、フォトダイオードと第 2 MOS トランジスタとの間及び第 2 MOS トランジスタのゲート電極と第 1 電極との間に設けられた 2 つの MOS トランジスタを OFF するとともに、第 1 のトランジスタの制御電極と第 2 電極、或いは、第 2 MOS トランジスタのゲート電極と第 2 電極に与える電圧を変化させることによって各画素の感度バラツキを検出することにより、正確に各画素の感度バラツキの検出を行うことができる。更に、能動素子を MOS トランジスタで構成することにより高集積化が容易となり、周辺の処理回路（A/D コンバータ、デジタル・システム・プロセッサ、メモリ）等とともにワンチップ上に形成することができる。

#### 【図面の簡単な説明】

【図 1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 2】本発明の第 1 の実施形態の 1 画素の構成を示す回路図。

【図 3】第 1 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 4】図 2 の画素の構成及びポテンシャルの関係を表した図。

【図 5】本発明の第 2 の実施形態の 1 画素の構成を示す回路図。

【図 6】本発明の第 3 の実施形態の 1 画素の構成を示す回路図。

【図 7】第 3 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 8】図 6 の画素の構成及びポテンシャルの関係を表した図。

【図 9】本発明の第 4 の実施形態の 1 画素の構成を示す回路図。

【図 10】第 4 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 11】図 9 の画素の構成及びポテンシャルの関係を表した図。

【図 12】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図 13】図 12 の一部の回路図。

【図 14】本発明の第 5 の実施形態の 1 画素の構成を示す回路図。

【図 15】第 5 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 16】本発明の第 6 の実施形態の 1 画素の構成を示す回路図。

【図 17】本発明の第 7 の実施形態の 1 画素の構成を示す回路図。

【図 18】第 7 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 19】本発明の第 8 の実施形態の 1 画素の構成を示す回路図。

【図 20】本発明の第 9 の実施形態の 1 画素の構成を示す回路図。

【図 21】第 9 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 22】本発明の第 10 の実施形態の 1 画素の構成を示す回路図。

【図 23】第 10 の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図 24】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 25】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 26】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 27】本発明の第 10 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 28】本発明の第 7 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 29】本発明の第 8 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 30】本発明の第 9 の実施形態の 1 画素の構成の 1 例を示す回路図。

【図 31】本発明の第 10 の実施形態の 1 画素の構成の

1 例を示す回路図。

【図32】画素内の能動素子をPチャネルのMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図33】本発明の第14の実施形態の1画素の構成を示す回路図。

【図34】本発明の第15の実施形態の1画素の構成を示す回路図。

【図35】本発明の第16の実施形態の1画素の構成を示す回路図。

【図36】本発明の第17の実施形態の1画素の構成を示す回路図。

【図37】画素内の能動素子をPチャネルのMOSトランジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図38】図37の一部の回路図。

【図39】本発明の第18の実施形態の1画素の構成を示す回路図。

【図40】本発明の第19の実施形態の1画素の構成を示す回路図。

【図41】本発明の第20の実施形態の1画素の構成を示す回路図。

【図42】本発明の第21の実施形態の1画素の構成を示す回路図。

【図43】本発明の第22の実施形態の1画素の構成を示す回路図。

【図44】本発明の第23の実施形態の1画素の構成を示す回路図。

【図45】本発明の第20の実施形態の1画素の構成の1例を示す回路図。

【図46】本発明の第21の実施形態の1画素の構成の1例を示す回路図。

【図47】本発明の第22の実施形態の1画素の構成の1例を示す回路図。

【図48】本発明の第23の実施形態の1画素の構成の1例を示す回路図。

【図49】本発明の第20の実施形態の1画素の構成の1例を示す回路図。

【図50】本発明の第21の実施形態の1画素の構成の1例を示す回路図。

【図51】本発明の第22の実施形態の1画素の構成の1例を示す回路図。

【図52】本発明の第23の実施形態の1画素の構成の1例を示す回路図。

【図53】各実施形態の画素を用いた個体撮像装置を備

えた画像入力装置の内部構造を示すブロック図。

【図54】従来例の1画素の構成を示す回路図。

【図55】本発明の第11の実施形態の1画素の構成を示す回路図。

【図56】第11の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図57】第11の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図58】本発明の第12の実施形態の1画素の構成を示す回路図。

【図59】第12の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図60】第12の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図61】本発明の第13の実施形態の1画素の構成を示す回路図。

【図62】第13の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図63】第13の実施形態で使用する画素の各素子に与える信号のタイミングチャート。

【図64】本発明の第24の実施形態の1画素の構成の1例を示す回路図。

【図65】本発明の第25の実施形態の1画素の構成の1例を示す回路図。

【図66】本発明の第26の実施形態の1画素の構成の1例を示す回路図。

【符号の説明】

G11~Gmn 画素

2 垂直走査回路

3 水平走査回路

4-1~4-n 行選択線

6-1~6-m 出力信号線

7 直流電圧線

8 ライン

9 信号線

10 P型半導体基板

11, 12 N型拡散層

13 酸化膜

14 ポリシリコン

51 対物レンズ

52 固体撮像装置

53, 54 メモリ

55 補正演算回路

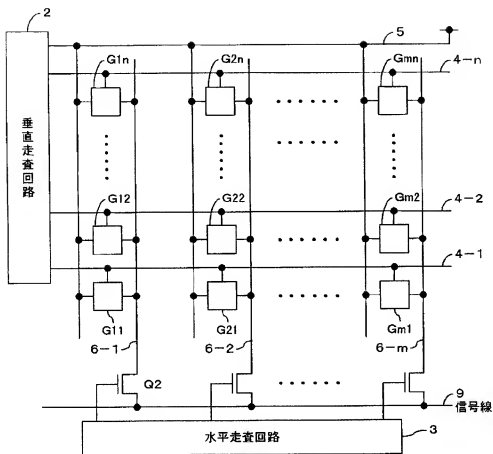
56 処理部

PD フォトダイオード

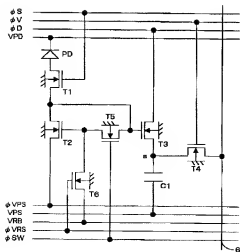
T1~T8 第1~第8MOSトランジスタ

C1, C2 キャパシタ

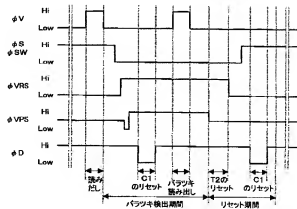
【図1】



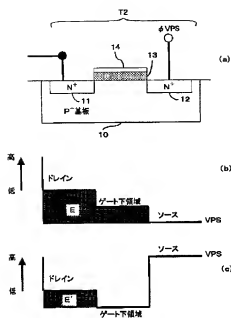
【図2】



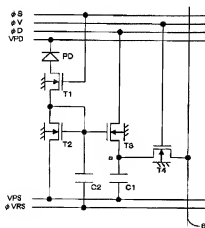
【図3】



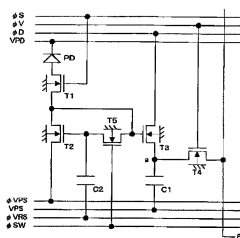
【図4】



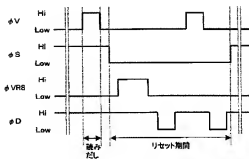
【図6】



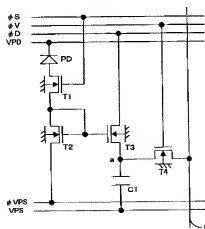
【図5】



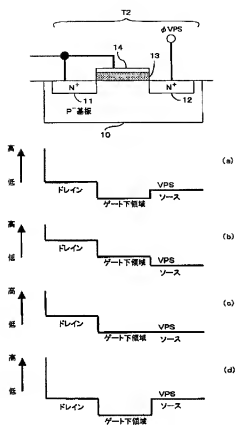
【図7】



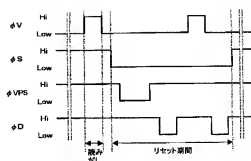
【図9】



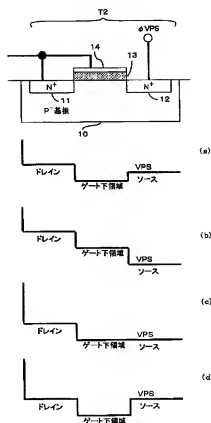
【図8】



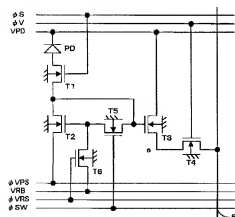
【図10】



【図11】

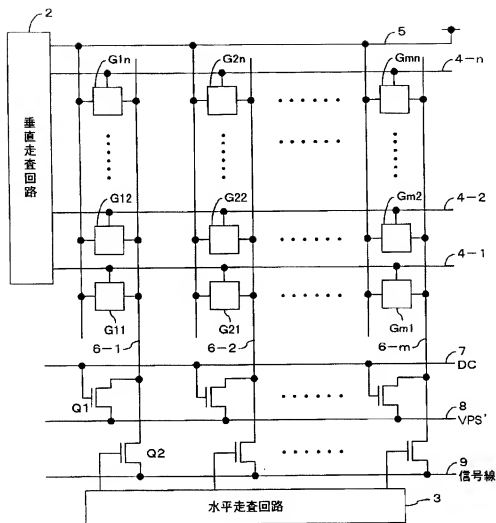


【図17】

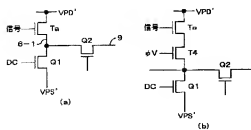




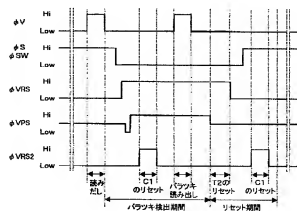
【図12】



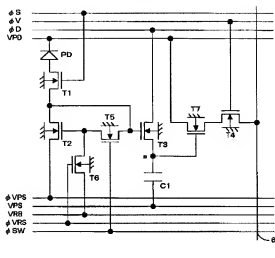
【図13】



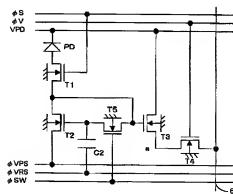
【図15】



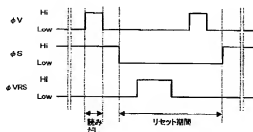
【図 16】



【图 19】

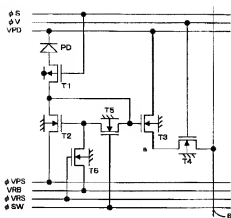


【図 2 1】

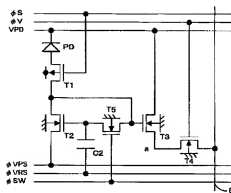




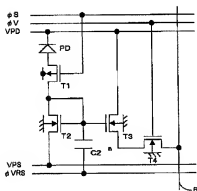
【図28】



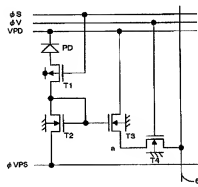
【図29】



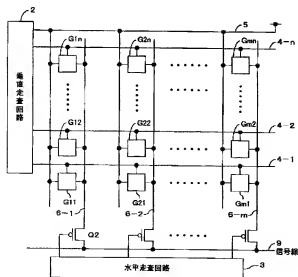
【図30】



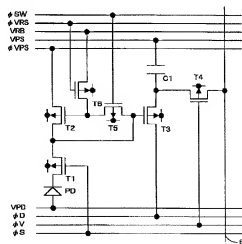
【図31】



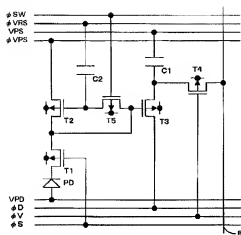
【図32】



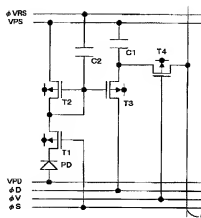
【図33】



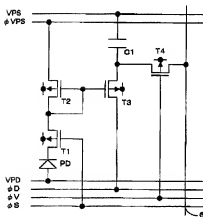
【図34】



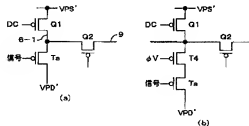
【図35】



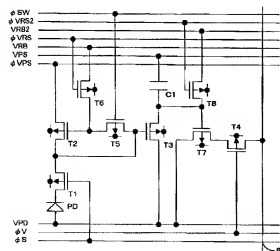
【図36】



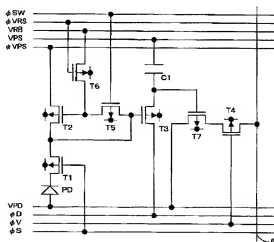
【図38】



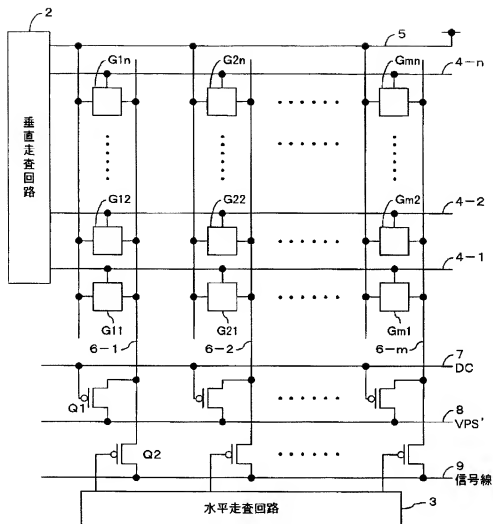
【図39】



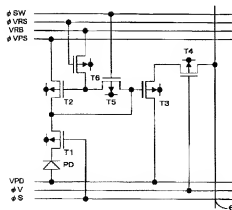
【図40】



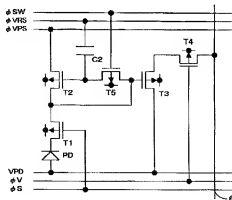
【図37】



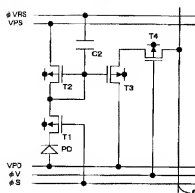
【図41】



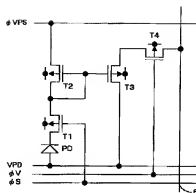
【図42】



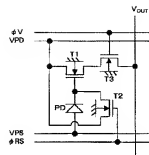
【図43】



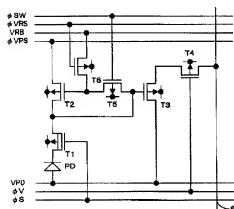
【図44】



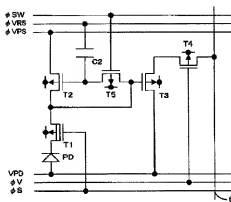
【図45】



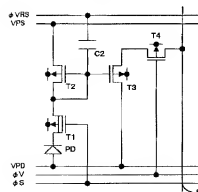
【図46】



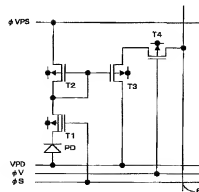
【図47】



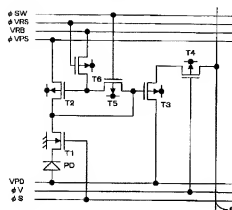
【図48】



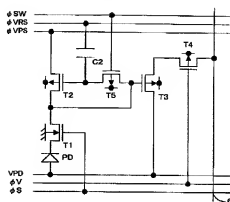
【図49】



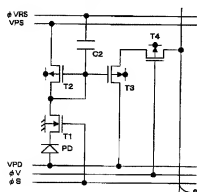
【図49】



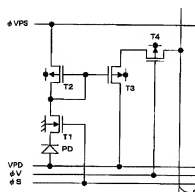
【図50】



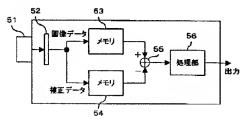
【図51】



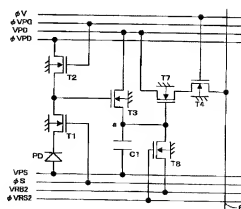
【図52】



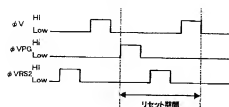
【図53】



【図55】

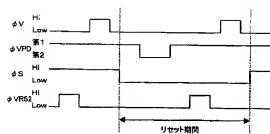


【図57】

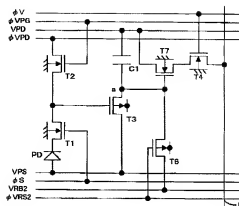




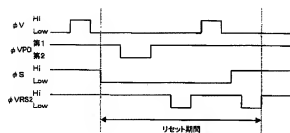
【図56】



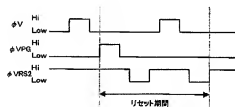
【図58】



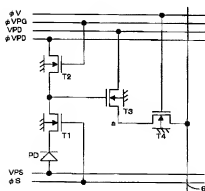
【図59】



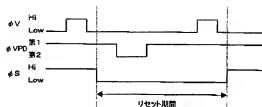
【図60】



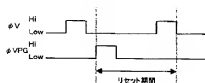
【図61】



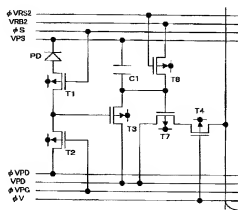
【図62】



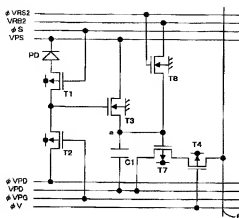
【図63】



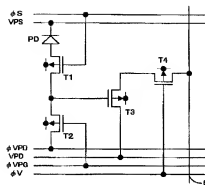
【図64】



【図65】



【図66】



フロントページの続き

Fターム(参考) 4M118 AAO2 AA10 AB01 AB10 BA10  
 BA14 CA02 DB09 DB11 DD09  
 DD12 FA06  
 5C024 AA01 CA14 FA01 FA11 GA31  
 GA33 JA04